

學門規劃資料

微電子工程

行政院國家科學委員會

中華民國七十六年六月出版

規 劃 委 員

- 總召集人：吳慶源 (國立交通大學工學院)
特約顧問：章青駒 (工業技術研究院電子工業研究所)
林敏雄 (工業技術研究院材料研究所)
- 各組召集人、委員(專家)及顧問：
- 壹、召集人：李崇仁 (國立交通大學電子工程系)
委員：龐台銘 (國立臺灣大學電機工程系)
金陽和 (國立清華大學計算機管理決策研究所)
李肇嚴 (國立成功大學電機工程系)
謝錦銘 (工業技術研究院電子工業研究所)
- 貳、召集人：雷添福 (國立交通大學電子工程系)
委員：蘇翔 (國立交通大學電子工程系)
曾繁城 (工業技術研究院電子工業研究所)
李銘廣 (工業技術研究院電子工業研究所)
- 叁、召集人：張俊彥 (國立成功大學電機工程系)
委員：李清庭 (中山科學研究院)
李嗣涔 (國立臺灣大學電機工程系)
蘇炎坤 (國立成功大學電機工程系)
- 顧問：林敏雄 (工業技術研究院材料研究所)
陳平翹 (中山科學研究院)
黃瑞星 (國立清華大學電機工程系)
- 肆、召集人：黃瑞星 (國立清華大學電機工程系)
委員：吳添壽 (國立成功大學電機工程系)
陳平翹 (中山科學研究院)
黃惠良 (國立清華大學電機工程系)
- 專家：陳永昌 (國立清華大學電機工程系)

學門規劃資料

E 04

Position Paper

微 電 子 工 程

行政院國家科學委員會工程技術發展處
中華民國七十五年十月規劃

前 言

本學門規劃資料針對國內電子材料及元件之過去及現在發展狀況，作深入瞭解，其中包括研究方向、經費來源、設備狀況及人力資源等。然後，根據國際間電子科技發展的現況，預測未來十年可能發展的方向。依據國內現有的研究人力、資源、國家財力現況、及未來工業發展的需求，擬出我國電子材料、元件及計算機輔助設計研究發展的方向及重點，並提出具體可行的步驟及方法，以供決策單位參考採行。

本學門規劃資料分四個重要研究領域進行研究規劃，它們是超大型積體電路之計算機輔助設計、矽材超大型積體電路及元件技術、砷化鎵積體電路技術及相關 III—V 族半導體元件之技術、感測元件及相關材料。每一個重要領域設有一位分計畫召集人，並由三至五位學者或專家組成，另外總計畫聘請兩位瞭解工業界發展之專家，作為特約顧問，以使計畫報告能考慮周詳。

經由每一分計畫召集人的熱心支持及參與，終將計畫完成。在此，除了感謝四位分計畫召集人——李崇仁教授、雷添福教授、黃瑞星教授、張俊彥教授，熱誠負責及領導外，更由衷感謝章青駒博士及林敏雄博士兩位顧問，在百忙中抽空參與擬訂方案及提供資料。另外，我要感謝交大工學院助理陳美芳小姐、計畫助理陳秋峯先生及藍玉華小姐的協助校對及連繫，使計畫能順利完成。

最後，誠摯希望本計畫所擬方案，對我國未來電子工業發展有所貢獻；同時文中有疏漏之處，請不吝指教。

計畫總召集人
吳慶源 敬上

目 錄

| | |
|--------------------------------------|----|
| 前 言 | |
| 摘 要 | 1 |
| 壹、超大型積體電路之計算機輔助設計 | 6 |
| 一、簡介 | 6 |
| 二、目前國內技術與研究狀況 | 7 |
| 三、VLSI/CAD 國外研究概況 | 11 |
| 四、未來研究方向 | 11 |
| 五、目標與執行方法 | 12 |
| 附錄一、國立臺灣大學 VLSI/CAD 研究與人才培育概況（龐台銘撰） | 14 |
| 附錄二、國立交通大學 VLSI/CAD 研究與人才培育概況（李崇仁撰） | 19 |
| 附錄三、國立成功大學 VLSI/CAD 研究與人才培育概況（李肇嚴撰） | 31 |
| 附錄四、國立清華大學 VLSI/CAD 研究與人才培育概況（金陽和撰） | 36 |
| 附錄五、工業技術研究院電子工業研究所 VLSI/CAD 概況（謝錦銘撰） | 39 |
| 附錄六、「整合式 VLSI/CAD 系統」調查報告（龐台銘撰） | 42 |
| 附錄七、知識基的 CAD 系統（龐台銘撰） | 48 |
| 附錄八、VLSI/CAD 工作站（謝錦銘撰） | 53 |
| 貳、矽材超大型積體電路及元件技術 | 60 |
| 一、國內近五年來之研究概況及工業發展狀況 | 60 |
| 二、國外近五年來之研究概況 | 68 |
| 三、預測我國未來十年的研究發展方向及具體作法 | 72 |
| 附錄一、矽材超大型積體電路技術及元件 | 80 |
| 附錄二、國立交通大學電子與資訊研究中心七十三年度研究經費 | 83 |
| 叁、砷化鎵積體電路技術及相關 III—V 族半導體元件之 技術 | 84 |
| 一、國內近五年來之研究概況及工業狀況 | 84 |

| | |
|---------------------------------|-----------|
| 二、國外近五年來之研究概況..... | 87 |
| 三、國內未來十年內的發展方向..... | 89 |
| 四、達成本方案的手段和方法之建議..... | 91 |
| 肆、感測元件及相關材料..... | 92 |
| 一、簡介..... | 92 |
| 二、國內近五年來之研究概況及工業發展狀況..... | 92 |
| 三、國外近五年來之研究概況..... | 93 |
| 四、預測我國未來十年的研究發展方向及具體做法..... | 94 |
| 附錄一、國內近五年來研究感測元件的主要機構..... | 99 |
| 附錄二、國內外感測元件與相關材料技術層次之比較..... | 100 |
| 附錄三、感測元件相關材料技術發展藍圖..... | 101 |
| 附錄四、近三年內在著名學術期刊感測元件有關論文之機構..... | 102 |

摘要

一、超大型積體電路之計算機輔助設計

VLSI/CAD 關乎臺灣未來電子產品開發競爭能力，及國防武器電子系統之整合能力，至為重要。

VLSI/CAD 大學學院研究，由於國科會之有組織地推動，臺大、交大、成大已建有自力開發之 VLSI/CAD 系統：臺大系統為一以資料庫為主導配有自動電路合成、驗證、佈局等系統之完整系統；交大系統是一涵蓋功能、邏輯、線路、佈置、驗證層次之整合系統，於線路、時序層次之工具有其獨特優點；成大系統亦為一完整之系統，擁有邏輯、佈局、驗證等軟體工具，於佈置繞線（Placement & Routing）及驗證方面有其獨特之優點，其中交大、成大已進行考慮可測試性之軟體工具及設計研究；清大於交換層次模擬器、VLSI 演算法（Algorithms）上有相當程度之經驗。以上各校於 VLSI 系統設計上已有相當之經驗能力，已可進行類如 32 位元處理器之設計，並發展自己獨特之系統結構（Architecture）。另外數大學如大同工學院、中央大學等亦進行少數模擬器之研究。於中研院資訊所亦有少數研究員進行閘矩陣繞線及硬體自動合成之研究。大學中 VLSI 設計人才之培養，最主要是藉助國科會與電子研究所合作之多項設計晶片計畫（Multi-Project Chip）。各大學能經濟有效地製作出所設計之晶片。過往四年，上述大學已訓練出有 75 位碩士級 VLSI/CAD 人才。

於工業界，電子工業研究所為最主要之研究、應用、人才培養機構。目前有 16 位平均三年年資之工程師從事 CAD 工具發展工作，65 位三年年資工程師進行商業化 VLSI 晶片設計工作。另有旅美學人之投資之益華公司，本國人投資之宏碁、欣太等公司，及一些美商在臺子公司如：T.I.、DEC、MOTOROLA 亦從事一些 CAD 軟體製作及工業商品晶片設計工作。總而言之，目前本國約有 25 位 CAD 軟體工程師、125 位 I.C. 晶片設計工程師從事此方面之工作。其中所用之 CAD 軟體皆為外購者。

未來十年，本國大學學院中於 VLSI/CAD 之研究方向應為：

- (一) VLSI 設計方面：
1. 進行計算機晶片如精簡指令計算機 (RISC) 及非傳統儲存程式計算機 (Non Von Neumann style) 之計算機結構設計。
 2. 進行數位信號處理晶片設計研究。
 3. 可容錯誤性結構設計 (Fault-Tolerant Design) 研究。

(二) 計算機輔助設計系統方面：進行更自動化、更有效率、更友善之 CAD 系統研究。

尤其注重：

1. 砂編輯器 (Silicon Compilers)。
2. 專家系統。
3. 可測試性軟體工具、方法研究。

目前目標為：(1)能有設計32位元以上計算機晶片能力，(2)能有設計軍用規格快速運算晶片能力，(3)晶片之可測試性達到 99%，(4)有實際應用之 Fault-tolerant 設計結構能力，(5)有可工作之砂編輯器及 VLSI 設計專家系統，(6)大學學院中有一高效率、友善之 VLSI/CAD 系統，(7)每年能訓練大學部200位、碩士級60位以上之 I.C. 設計人才，及碩士級 10 位以上之 CAD 軟體工程師，(8)各大學中平均有 10 位以上教授從事此方面研究。

執行方式為：(1)由國科會負責組織、聯繫、推動，以發揮團隊效率，(2)建立計算機網路，(3)國科會與教育部平均每年投入六千七百萬元經費。此經費最主要為充實各校計算機及週邊裝置設備。

二、矽材超大型積體電路及元件技術

近五年來我國在國科會的推動下，已有矽 VLSI 的計畫在進行，對重要關鍵技術等的建立、人才的培育已有良好的基礎。工研院電子所已發展完成 2.0 微米的 CMOS 及 NMOS LSI。目前電子所正在開發 1.25 微米的 CMOS 技術，現在世界各國都朝 VLSI 方向快速進行，VLSI 將是工業的主流。根據需要十年後到 1995 年我國 VLSI 要發展到 0.35 微米的 CMOS IC，以適應工業界的需要。另外一些分離元件如功率 MOSFET 等也將跟隨 VLSI 進入次微米領域。因此未來十年學校之研究必須走在前面，積極發展以 0.35 微米為目標的次微米技術。需要發展的關鍵技術及所需的主要設備如下諸項：

- (一) 畫影技術——E-Beam Direct Write on Wafer
- (二) 蝕刻技術——Reactive Ion Etching (RIE), Ion Miller
- (三) 氧化矽成長技術——氧化爐、高壓熱成長爐、電漿熱成長爐
- (四) 金屬聯線技術——濺鍍系統
- (五) 金屬矽化物及淺接面技術——離子佈植機、矽化物 CVD 系統、Rapid Thermal Annealing (RTA)
- (六) 化學氣相沈積技術——PECVD, LPCVD, Optical CVD
- (七) 隔離技術——RIE、磊晶系統

(八) 可靠性技術——測試、分析系統

由於國內人力、物力有限，因此必須集中力量，聯合國內各大學如臺大、成大、清大和交大共同參與研究，並加強國科會半導體貴重儀器使用中心的儀器設備及服務管理，使主要昂貴的儀器設備能集中，讓全國研究人員均可參與研究工作。同時由各校分工合作，各有重點發展並有所需之設備，以全面提昇國內各大學之研究水準。對人力的投入預估每年應投入四十人次之研究人員，一百二十位研究生，以目前國內人力尚不足應付此需求，因此應積極爭取海外學人回國，並加強國內博士班的訓練，預估需費十年共七億一千萬元，前三年每年需一億二千萬元，後七年每年需五千萬元。

三、砷化鎵積體電路技術及相關 III—V 族半導體元件之技術

砷化鎵積體電路及相關的 III-V 族半導體元件技術的發展，在二十一世紀通信及電腦（C&C）的時代是個關鍵技術。主要的兩個重要的方向為：(1)光電科技（Photonics）及(2)高速積體電路（VHSIC）。

於目前階段，國內基礎尚十分薄弱，本方案含現況說明及今後十年的技術發展目標以及人力發展規劃。今後十年內國內發展的主要技術如下：

(一) 晶體成長技術（Bulk Crystal Growth Technique）。

(二) 砂晶成長技術（Epitaxy）：含分子束砂晶（MBE）、有機金屬汽相砂晶（MO-CVD）及液相砂晶成長（LPE）。

(三) 製程技術（Process Technologies）：含乾式及濕式蝕刻（Dry and Wet Etching）、金屬接面技術（Metallization）、絕緣及介面（Ion Implantation）、微細加工技術（Fine Line Lithographic Technologies）。

(四) 元件物理及技術（Device Physics and Structures）：含可見光及光纖通信之發光二極體（LED）、雷射二極體（Laser Diode）、檢光器（Detectors）、高速及功率二極體、電晶體等元件物理（含介面）及結構。

(五) 材料及元件之分析技術（Material and Device Characterization）：含缺陷之分析及與元件特性之關係、元件可靠性（Reliability）等。

以上為發展此項技術所需之分項技術，必須完整方能配合。

其次，就人力發展目標規劃如表一所示，其中考慮了人力的增長以及大學與事業機構相關的配合問題。表二提出目前、五年內、十年內之經費預估。

最後，提出有關達成此一目標的手段和方法，以供有關單位參考。

表一 人力發展計畫

| 人 力 機 構 | 大 學 | 公 營 研 究 | 民 營 研 究 |
|------------------|--------|------------------|------------------|
| 現有研究人員 | 15/ 30 | 5/ 25 | 1/- |
| 5 年 內 | 25/ 80 | 20/ 60 | 5/15 |
| 10 年 內 | 40/200 | 30/120 | 20/80 |

註一：leader/member，leader 係指教授（正研究員）、副教授（副研究員）。

member 指研究生或助理研究員、技術員。

註二：大學的研究生是事業機關人力的來源，所以大致人力供需要平衡。所需要經費預算如表二所列。五年內大學每年以5000萬支援，庶可發揮其潛力。

表二 經 費 預 估

| 經 費 機 構 | 大 學(萬) | 公營研究(萬) | 民營研究(萬) |
|------------------|-----------|---------|---------|
| 現有經費／年 | 863 | 3000 | - - |
| 5 年 內／年 | 5000 | 12000 | 5000 |
| 10 年 內／年 | 8000 | 24000 | 10000 |

目前國內有關之研究乃以大學為主力。每年國科會經費約 860 萬元，人才較多。但公營研究機構，如工研院工業材料研究所，近年來亦已奠定長晶及 LED 之良好技術，每年經費為 3000 萬元，尚嫌不足。建議如表二，政府宜寬撥預算，逐年有效地推動研究，主要設備及概略預算如下：

- 1. 離子佈值機（研究用） ~2000萬
- 2. 分子束磊晶設備 ~2000萬
- 3. 有機金屬汽相磊晶設備（連安全設備） ~2000萬
- 4. 液相磊晶（10套）設備 ~1000萬
- 5. 光幕對準儀（3套，各大學） ~ 600萬
- 6. 濺射系統（Sputtering） ~ 400萬

| | |
|---|--------|
| 7. RIE 系統 | ~ 600萬 |
| 8. PECVD 系統 (每機) | ~ 200萬 |
| 9. Diffusion 及 Annealing 爐 (每套) | ~ 100萬 |
| 10. 微波測試系統 (Network Analyser, S-parameter, Spectrum Analyser, etc.) | ~2000萬 |
| 11. Sampling Scope | ~1000萬 |
| 12. Noise Meter | ~1000萬 |
| 13. 光譜儀 (PL 等) 及雷射測試 (field pattern) 系統 | ~2000萬 |
| 14. Pulse generator 測雷射及檢波器高速反應設備 | ~2000萬 |
| 15. 光纖通信 (T-R) 測試設備 | ~2000萬 |
| 16. 元件包裝設備 (含微波) | ~ 600萬 |

四、感測元件及相關材料

配合目前國內重點科技發展以及工業升級之需要，感測元件及相關材料的研究開發已成刻不容緩之勢。目前推動的重點科技如資訊、工業自動化、生物工程、環境工程和能源等無一不需要有適當功能的感測元件配合。廣泛的說，凡是具有能量轉換功能的元件都是感測元件，但在資訊電子逐漸普及並深入每一領域的未來，毫無疑問的，把各種形式的物理量轉換成電訊號的感測元件將成為感測元件的主流。配合積體電路的發展，集積式智慧型感測元件是未來的重點。按感測功能與對象來分，感測元件可區分為(一)影像感測器 (Image sensor)，(二)壓力感測器 (Pressure sensor)，(三)聲音感測器 (Acoustic sensor)，(四)光線通訊感測元件 (Optical communication sensor)，(五)化學感測器 (Chemical sensor)，(六)輻射感測器 (Radiation sensor)，(七)生物感測器 (Biosensor)，(八)太陽電池 (Solar cell)。鑑於國內有限的資源，以及現有的基礎，勢必做選擇性的研究發展，影像感測器最具潛力，配合其他感測元件之開發，三維細微結構蝕刻技術 (3-D micromachining) 是一重要技術。陶瓷材料、金屬氧化物等材料開發，以及厚膜薄膜技術、訊號調整、訊號處理積體電路之設計等是發展智慧集積型感測元件之關鍵技術，鼓勵化學、化工、生物、醫學人才與化學、生物感測元件研究亦相當重要。

壹、超大型積體電路之計算機輔助設計

一、簡介

由於超大型積體電路技術之進步，各項電子系統皆可製作於一片或數片之微晶片上，如此大大降低了電子系統之成本，且開拓了許多電子系統應用的新領域。但亦由於單一晶片上所放置之電子系統愈來愈大，且愈來愈複雜，一超大型積體電路晶片設計牽涉自系統、邏輯、線路、佈置、元件各層次及設計後之驗證，晶片製作後之測試各項專門知識。此工作已非單一或數個工程師所能勝任完成，而必須藉助大量計算機輔助設計。另外亦由於電子系統積體化於晶片上，對其增加了新的設計限制（如輸出入埠數目限、單一晶片上電子系統複雜度、可測試性問題等），電子系統之系統結構設計需採行新的觀念與方法。

VLSI/CAD 對目前臺灣電子工業至為重要。因為臺灣電子工業之前途係建立於能設計生產有獨特性質之優利（UNIQUE）產品，或能快速設計生產反應市場現有產品之能力。而此項能力皆仰賴於（一）有足夠優秀之設計工程師，及（二）有足夠有效之計算機輔助設計工具。VLSI/CAD 之技術水準即直接反映該方面能力。

最近政府擬建立之超大型積體電路製造工廠，本身並無產品之設計能力。其賴以維持營運之條件係接受大量本地或國外客戶設計之產品而加以製造。如此國內 VLSI/CAD 能力，益形重要。

VLSI/CAD 對國防方面亦極重要。因現代及未來之國防武器系統皆仰賴於電子系統，而此類電子系統能由 VLSI 設計將其積體縮小化。一國家欲建立自己國防生產能力，此 VLSI/CAD 之能力為不可或缺者。

於本報告中，吾人首先對目前國內技術、人力與研究狀況作一評估。此評估包括大學學院與工業界，然後對未來國內於此 VLSI/CAD 發展方向及目標，重點列出。並嘗試建議執行之方法與預估所需投入之經費。文末附有國內各主要大學（臺大、交大、成大、清大）與工業技術研究院電子研究所於 VLSI/CAD 方面之詳細人力培養與研究狀況之報告。對 VLSI/CAD 之若干重要領域如 VLSI/CAD 工作站，整合式 VLSI/CAD 系統，知識基之 VLSI/CAD 系統，本文亦作一概括性之國外現狀報告，此亦附於文末。

二、目前國內技術與研究狀況

國內目前於 VLSI/CAD 之技術研究，於大學四個學院間皆偏向於 CAD 工具與系統、VLSI 設計方法之研究、與人才培養；於工業界則偏向於 VLSI 商業晶片之開發。茲分述如下：

(一) 大學學院研究

國科會於四年前首先以跨系計畫方式推動交通大學進行 VLSI/CAD 研究。一年後又在臺大、成大、清大，以同樣方式，由各校組成研究團隊進行研究並培訓人才。中間又聯繫工業技術研究院電子研究所，以開辦暑期訓練班及進行多計畫晶片設計（MPC Multi-Project Chip）方式訓練人才。至今。上述各大學已建立此方面之研究能力，且訓練出超過75名之碩士級人才。

1. 國立臺灣大學（見附錄一）

始於72年8月，主要計畫為「超大型積體電路設計之交談式圖形系統」及「超大型積體電路模擬」。73年8月開始進行「整合式超大型積體電路設計系統」之大計畫。包括有「主系統」、「設計資料管理系統」、「自動電路合成系統」、「設計輸入系統」、「設計驗證系統」及「佈局系統」。六分項計畫，分由五位教授主持。74年另又加入「專家系統之應用」子計畫。完成有(1)分散式之 VLSI 設計資料管理系統，(2)以資料庫為基礎之各項工具並整合，(3)建立 CPU 級之設計環境與能力，(4)建立 VLSI 設計專家系統之架構，及(5)完成了一 32bit 之計算機指令集。

經由 MPC 完成有(1) 8×8 平行式乘法器，(2)可程式性之 Divide by N4 bit BCD/Binary 計數器，及(3) Intel 8048 8 bit 微計算機晶片等。近期目標是希望能完成一 32 bit RISC 型式之計算機晶片設計。

於此期間訓練有13位碩士級人才。目前並有40位碩士班級 5 位博士班級研究生進行論文研究。

2. 國立交通大學（見附錄二）

自71年9月以來即致力於各種層次之 CAD 工具之建立與研究。目前已有自功能層次、邏輯層次、線路層次、交換層次、時序層次、佈置層次及驗證工具之各項軟體。各項工具並且以一智慧型之圖形輸入編輯系統為主體整合成一 VLSI/CAD 系統。其在線路、時序層次上之工具有創新性。另外亦進行一 VLSI/CAD 工作站之研究，此研究尤其著重於其對圖形輸入編輯能力。另外對閘矩陣（Gate Matrix）及建築方塊（Build-

ing Block) 之佈置及繞線 (Placement and Routing) 問題，亦有進行研究，且完成有多項軟體工具。

交通大學另一特色為對 VLSI MOS 元件模式之建立與模擬研究有特殊成就。

於 VLSI 晶片設計，已完成有串列式二階數位濾波器、16 bit 乘法器及迴旋器、傅立葉轉換器、數位信號處理器。未來一年盼能完成一 32 bit 之 RISC 之型式之微計算機晶片。

目前有 8 位教師進行此方面研究。於三年期間共訓練有 43 位碩士級人才，目前有 40 位碩士級、5 位博士級研究生進行論文研究。目前研究重點除承繼以往之結果並更加深入外，並已考慮到可測試性，特別是障礙模式 (Fault Model)、障礙模擬程式、測試向量產生器等之發展。另外亦著手於混成或積體電路之計算機輔助設計系統之建立。

3. 國立成功大學（見附錄三）

自 72 年 8 月以來有 4 位教師進行下列研究：(1) VLSI 系統之結構，(2) 語言邏輯設計，(3) 邏輯模擬器，(4) 圖形編輯器，(5) 符號式佈置系統，(6) 佈置繞線之拓樸研究，(7) 設計規則檢驗。訓練有 15 位碩士人才，並完成有以上各相關工具軟體。目前進行之工作為：(1) VLSI 系統架構，(2) 智慧型繪圖編校器，(3) VLSI 可測試性設計，(4) 計算機輔助設計之整合系統，(5) 人工智慧導向之佈置與繞線，(6) 可規劃邏輯列陣自動合成系統。目前有博士級 8 人、碩士級 25 人之研究生進行論文研究。

未來發展擬著重於佈置與繞線及驗證方面之研究。包括結合各種演算法及人工智慧原理作整體之結合。於 VLSI 設計方面則考慮用 Error Control Code 方式以設計可測試性之各種數位信號處理晶片。

4. 國立清華大學（見附錄四）

該校研究之重點在於 Switch level 模擬器之製作及 VLSI Algorithm 之研究。於 Switch level 模擬器中已顧及到障礙模擬，另外經由 MPC 計畫完成一些中型複雜度之晶片設計。基於這些經驗，目前正進行複雜度較高的一個中文語音識別器及一個幾何運算機的 VLSI 設計。過去數年約訓練有 6 位碩士級人才。

目前有 4 位教授從事此方面研究；3 位碩士班、4 位博士班研究生從事論文研究。研究主題除上述各題目外，並包括矽硬體編輯器、佈置與繞線。

5. 其他大學

除上述四主要大學，另大同工學院有少數教授從事線路設計及線路模擬器之研究。中央大學亦有少數教授從事薄膜電路 CAD 之研究。

6. 中央研究院資訊研究所

中研院資訊研究所有一位副研究員及 3 位助理從事 Gate Matrix 繞線及硬體合成

器之研究。

(二) 工業界

1. 工業技術研究院電子研究所（見附錄五）

該所為國內從事 VLSI/CAD 最主要工業機構。目前於 CAD 方面有平均三年經驗之工程師16人，而歷年培育出的人才離職轉至其他機構服務者約10人。目前主要工作是維護該所現有軟體，發展少數新軟體工具。目前該所有之軟體工具有：

- (1) 模擬工具：如 ISPS, ESPICE, FELOG, FSIM 等功能、邏輯、線路層次工具。
- (2) 設計工具：PLAG, DELDEP 之 PLA 產生器及遲延時間設計。
- (3) 佈置工具：如 CAEPAEI, KIC2, CADISYS, MCLAY ROMAN 等。
- (4) 佈置驗證工具：如 DRACULA II CERSODRC, CEAP 等。

其中有自行開發者、有引進修改者、有外購者。

目前該所並設立有共同設計中心，提供訓練及軟體給目前國內工業界應用。

目前該所 VLSI 設計人才有65位，平均年資為三年，進行為國內工業界設計商業用 I.C.。

2. 聯華電子公司

該公司目前有18位 I.C. 設計工程師，從事該公司產品設計工作。所用之 CAD 軟體皆為購入之商業用軟體。目前有 SILOS 邏輯模擬器、HSPLCE 線路模擬器、ECAD 之 DRACULA 驗證器、Daisy 的工作站從事閘排列之放置與佈線工作。另外該公司亦可從事 Standard cell 之設計。

3. 益華電子公司

該公司為旅美學人所創 ECAD 公司之在臺投資公司。主要是利用臺灣 CAD 軟體製作人才製作一些高水準與利潤之 VLSI/CAD 軟體，供在美之 ECAD 公司行銷。目前有約近10位本國畢業之 CAD 軟體工程師進行軟體工具開發工作。

4. 太欣半導體公司

為國內最大之私人 I.C. 設計公司。目前約有20位設計工程師，從事客戶委託設計工作。所用之軟體亦為購入商業用軟體。

5. 建弘電子公司

目前有 3 位 I.C. 設計工程師及15位 layout 工程師從事該公司商業電子產品線路設計。

6. 合德半導體公司

有 5 位 I.C. 設計工程師，從事客戶委託設計工作。

7. 宏碁公司

有 3 位 I.C. 設計工程師，利用 Daisy 工作站，與美國 National Semiconductor 合作從事 Gate Array 之設計工作。

8. 其朋半導體公司

有 2 位 I.C. 設計工程師，從事客戶委託設計。

9. Phillips 公司

有 5 位 I.C. 設計工程師從事線性 I.C. 設計工作。

10. 美商公司

另有美商公司如 T.I., MOTOLOLA 及 DEC 公司在臺子公司亦有其 VLSI 設計組，從事各公司內部需要之 I.C. 設計工作。

(三) MPC 計畫

國科會與電子工業研究所，兩年前合作推行 MPC 計畫使國內學院所設計之晶片能實地製作出來。目前大學所訓練出之 VLSI 設計人才皆是藉助此計畫得以完成。

(四) 結論

綜觀國內於 VLSI/CAD 技術與研究狀況可得如下結論：

1. 國內學院間已建立 VLSI/CAD 之研究能力。研究品質亦可與國外大學間之研究相匹配。但研究題目與內容因國內不如國外資料交換取得之快速、便利，另對最尖端發展之需要不熟悉，故約有二至三年之差距。
2. 國內已建立有各項 CAD 之軟體並有整合式之 VLSI/CAD 系統，足可應付學院訓練人才與研究需要。
3. 過往數年，國內訓練有超過 75 餘位碩士級人才，目前有近百位碩士級研究生，20 位博士級研究生從事此方面研究。
4. 於學院間目前有 24 位副教授以上之研究人員，從事此方面研究。
5. 目前國內學院間此方面之研究，因國科會之主動協調，提供了各研究機構資料交換、軟體共用之良好環境與研究架構。
6. 目前國內大學學院間之硬體設備皆嫌不足。
7. 於工業界中有 26 位 CAD 軟體發展工程師，有近 150 位 I.C. 設計工程師，從事商業用 I.C. 客戶委託設計等工作。

三、VLSI/CAD 國外研究概況

VLSI/CAD 研究領域廣泛，於各子領域（sub-field）中亦有各種研究方法特色不同，欲作一全盤研究概況之報告，殊不可能。此處乃對此領域之最富代表性之「整合式 VLSI/CAD 系統」、「智識基之 CAD 系統」及「VLSI/CAD 工工作站」三項子領域作一概況介紹。由此可略知國外於 VLSI/CAD 方面之概況。此三項子領域之詳細概況報告可見附錄六、七、八。由此報告中可知 VLSI/CAD 系統目前於國外已達高度之整合，而人工智慧應用於 VLSI/CAD 亦漸趨成熟。

四、未來研究方向

(一) 超大型積體電路系統設計

未來發展應著重於下列系統晶片之設計研究：

1. 計算機晶片

- (1) 精簡指令計算機 (RISC-Style Computer)：利用 VLSI 之特性將計算機指令簡化及減少指令數目，使計算機結構簡單而效率提高。此為未來除極大型計算機之外之計算機設計主流，亦應為臺灣未來計算機設計之主要方向。
- (2) 非傳統儲存程式計算機結構 (Non-Neumann Style Computer)：利用 VLSI 講求簡單齊一性 (Modularity) 之特性，用數個或數十個處理器來完成傳統式處理器之工作，而達到高效率之資料處理。如矩陣式處理器 (Array Processor) 或細胞排列式矩陣處理器 (Cellular Array Processor) 等。

2. 數位信號處理晶片

未來信號處理，將以數位式為其主流。此種晶片亦最具商場價值。此類晶片是為可程式者，將諸多應用於音頻、視頻、影像處理 Modem 商業產品之中。

3. 可容錯誤性設計

未來國防軍事或高功能之計算機或處理器系統中，將講求其對錯誤發生之可容性。國內應於此方面及早建立基礎能力。而於此方面之研究可由線路層次、邏輯層次及系統結構層次分別進行之。

(二) 計算機輔助設計系統

未來晶片設計將更倚重有效率、友善，更自動化之計算機輔助設計工具與系統。未來研究方向為：

1. 砂編輯器 (Silicon Compilers)

此為高度自動化之計算機輔助設計系統。一 VLSI 設計者可利用此系統，僅將其欲設計 VLSI 之系統（或邏輯）層次之設計規格輸入，即可得其最後之積體電路製作佈置圖。

2. VLSI 設計專家系統

此為利用現成或發展一套專家系統，將各類 VLSI 設計知識建入此系統中，而由此系統來設計 VLSI 。

3. 測試軟體工具方法之研究 (Testing Software of Methodology)

未來 VLSI 之發展其瓶頸是在測試問題上，國內於此方面之研究薄弱，應加速發展。其方向為：

- (1) 各種測試軟體工具之建立：如有錯誤模擬能力之邏輯模擬器、測試產生器 (Test Vector Generators)，可測試性設計度量軟體 (Testability Software) 等。
- (2) 建立可測試之設計方法：發展出一設計方法而使 VLSI 設計能百分之百可測試者。

五、目標與執行方法

(一) 目標

未來十年 VLSI/CAD 發展之目標應為：

1. 有設計 32 位元以上計算機晶片之能力。
2. 能設計軍用規格之快速運算晶片能力。
3. 解決有關可測試性設計之問題。設計之晶片其可測試性達到 99% 。
4. 有實際之 Fault-Tolerant 設計結構，能應用於軍用 VLSI 系統上。
5. 有可工作之砂編輯器及 VLSI 設計專家系統。
6. 大學學院中應有一高效率、友善之整合性之 VLSI/CAD 系統以供訓練人才及研究需要。
7. 大學中之 VLSI 設計課程能推廣至大學部。務期每年能訓練大學部 200 位，碩士級 60 位以上之 I.C. 設計工程師及碩士級 10 位以上之 CAD 軟體工程師。

8.各大學平均有 10 位以上教授從事此方面之研究工作。

(二) 執行方式

1. 過往數年，國內於 VLSI/CAD 方面之快速進步，係由國科會之計畫，有組織地推動而獲致之成果。未來研究，可由國科會再負起組織推動之責，聯合國內人力對上項諸題目作最佳之連繫配置，以得最高效率之研究。
2. 為達到國內各研究機構之資源共用、軟體互換、訊息快速流通、亟應建立計算機網路系統，將各大學學院與電子研究所計算機聯結。
3. 因各校之計算機及相關設備皆嫌不足，而 VLSI/CAD 為一極耗計算機時間之研究。每年國科會應投入6000萬之經費，支持四主要大學以添購計算機等設備。第三年後為將 VLSI 設計課程推廣至大學部，教育部亦應投入相當數量之經費，以為訓練 VLSI 設計人才之用。第六年後，各校計算機設備已齊備，國科會應投入之經費為3500萬／年，以作維持、支持 MPC，購買少量週邊裝置之用。故經費需求如下表：

| 年 份 | 國 科 會 | 教 育 部 |
|------|----------|-----------------------|
| 76年 | 60,000K | — |
| 77年 | 60,000K | — |
| 78年 | 60,000K | — |
| 79年 | 60,000K | 60,000K |
| 80年 | 60,000K | 60,000K |
| 81年 | 35,000K | 15,000K |
| 82年 | 35,000K | 15,000K |
| 83年 | 35,000K | 15,000K |
| 84年 | 35,000K | 15,000K |
| 85年 | 35,000K | 15,000K |
| 十年合計 | 475,000K | + 195,000K = 670,000K |

附錄一、國立臺灣大學 VLSI/CAD 研究與人才培育概況

一、往年所進行之研究專題

(一) 72年8月～73年7月

主題：超大型積體電路計算機輔助設計系統之建立

子題：

1. 超大型積體電路的交談式圖形系統

本系統乃研究高階語言設計、圖形、佈局、符號佈局、設計規則核對及循序放置與緊密繞線等。

2. 積體式 VLSI/CAD 模擬系統

此內容在研究 VLSI 設計驗證過程中，高階功能模擬、邏輯模擬、時序模擬、電路模擬等之整合。

(二) 73年8月～74年11月

主題：超大型積體電路計算機輔助設計系統之建立

子題：

1. 整合式超大型積體電路設計系統

為協助推展 VLSI 的研究及相關人才培育，建立國人自製大型 CAD 軟體系統的能力，本子題的目標是研製一套整合式 VLSI 設計系統。該系統的硬體是建於一分散處理環境上，由數個微電腦彩色圖形工作站連接於主電腦系統而成。系統軟體部分是建於 UNIX 及 MS-DOS 等二作業系統上。包括：(1)工具程式，(2)設計資料管理系統，(3)系統設計語言，及(4)中央與工作站執行者程式等。其中，工具程式構成數個副系統。即：(1)設計輸入系統：包括電路圖輸入及結構語言輸入等工具程式，(2)自動電路合成系統：包括高階行為語言編譯及模擬程式、PLA 產生程式等，(3)佈局系統：包括佈局編校程式、自動放置與繞線程式、設計規則查驗程式、印驗程式及圖樣產生程式等，(4)設計驗證系統：包括電路模擬程式、時基驗證程式、邏輯模擬程式、錯誤模擬程式，(5)專家系統應用：包括電路規格抽取專家、電路合成專家、元件產生專家、測試產生專家、微電腦控制器合成專家等。

二、人 力

(一) 教 师

1. 于惠中教授

專長：積體電路模擬與分析、邏輯、數位系統設計

2. 龍台銘教授

專長：CAD 資料庫系統、計算機硬體及系統

3. 馮武雄教授

專長：積體電路元件設計、模擬

4. 陳秋發教授

專長：邏輯電路設計、測試產生

5. 楊武純副教授

專長：計算機結構與軟體系統

6. 許清琦副教授

專長：專家系統、計算機語言及系統軟體

7. 陳少傑講師

專長：計算機結構與系統軟體

(二) 已往訓練人才

碩士：13人

博士：0人

(三) 目前進行學位研究

碩士班學生：研二 15人，研一 25人

博士班學生：5人

三、設 備

| | |
|------------------------|----|
| 1. NEC 980/M 彩色微電腦系統 | 5套 |
| 2. NEC 彩色印字機 | 2台 |
| 3. 彩色繪圖終端機 | 2台 |
| 4. 彩色繪圖機 | 1台 |
| 5. VAX 11/780 迷你電腦系統 | 1套 |
| 6. 擬添購 VAX 8600 迷你電腦系統 | 1套 |

四、碩、博士論文題目

(一)七十三年度

- 1.電腦輔助電路設計之探討
- 2.計算機輔助交談式圖形系統
- 3.閘矩陣自動佈局系統

(二)七十四年度

- 1.CMOS IC 的符號佈局法及其他電路擠縮
- 2.自動佈置系統
- 3.佈局圖之設計規劃檢驗系統
- 4.數位系統、資料路徑產生器之研製
- 5.最佳化硬體編譯程式的設計與製作
- 6.超大型積體電路電腦輔助之佈線工具
- 7.混合層次邏輯模擬器之研製
- 8.可規劃邏輯陣列縮減及生成系統
- 9.微電腦故障診斷之專家系統
- 10.整合式超大型積體電路設計系統之資料庫核心

五、目前發展成功的 Tools 與 Systems

- 1.CMOS 符號佈局程式
- 2.自動放置程式
- 3.混合層次邏輯模擬器
- 4.電路圖編輯程式
- 5.佈局編輯程式
- 6.PLA 產生程式
- 7.ROM 產生程式
- 8.CAD 設計資料庫管理系統核心
- 9.邏輯簡化程式
- 10.設計規則查驗程式

六、目前進行之研究

- 1.CAD 設計資料庫管理系統及知識庫管理系統

2. 自動電路合成程式及其專家系統
3. 高階設計語言及其模擬程式
4. 微程式自動產生程式
5. 電路圖產生程式
6. 層次式放置與繞線程式
7. 電源與地線之佈線程式
8. 元件編輯程式及其專家系統
9. 時序驗證程式
10. 電阻、電路抽取程式
11. 功能設計驗證系統
12. 整合式設計輸入與模擬系統
13. 可測性分析程式
14. 錯誤模擬程式
15. 測試產生程式與其專家系統
16. 設計規則抽取、專家系統
17. Chip Design 方面正進行下列 CPU 之設計：
 - (1) Intel 8048 8-bit single chip microcomputer
 - (2) 16-bit microprocessor (Simplified 8088)
 - (3) 16-bit Numeric Data Processor (Simplified 8087)
 - (4) Digital Signal Processor (Simplified TMS 32010)
 - (5) CMOS RISC II
18. 改良已完成之各種工具程式

七、未來計畫

(→)下一年度研究重點：

1. 完成 VLSI Design Management System
2. 擴充並改良所完成的工具程式及系統
3. 建立 VLSI 設計專家工具程式
4. 建立 VLSI 設計自動化、系統雛型
5. 建立 I.C. 及系統設計資料庫
6. 建立 VLSI/Digital System CAD 教學實驗室
7. 建立 PCB 設計系統

8. 建立 I.C. 測試系統

(二) 未來展望

1. 民國76年7月完成全套 VLSI/Digital System 設計教學研究雛型系統
2. 民國77年7月完成工業界適用之設計 VLSI 系統
3. 民國78年7月完成完整之 VLSI/Digital System 設計教學研究環境

附錄二、國立交通大學 VLSI/CAD 研究與人才培育概況

一、往年所進行之研究專題

(→)71年12月～72年11月

主題：超大型積體電路計算輔助設計系統之建立

子題：

1. LOSIM：邏輯模擬程式

此程式做為設計證實之模擬具有功能如下：(1)模擬值如 1 (high) 、 0 (low) 、 x (unknown) 、 z (high impedance) 等四種狀態；(2)模擬元件；(3)延遲時間包括上升、下降、延遲；(4)具備 macro 功能；(5)以 even-driven 原理所設計。

2. Design and Implementation of Switch-Level Logic Simulator: MOSSIM-Like

本文以 1981 年 M.I.T. 提出一種以 MOS 元件為主之 switch-level 模擬器，MOSSIM 原理為主，自行設計並建立一套 switch-level 模擬器以提供 VLSI 線路設計者使用。

3. SPICE-2P：改進型之 SPCCE-2 線路模擬程式

係利用現有 SPICE-2 程式，將其修改，專為 MOS 線路模擬之用，又利用線路分割、分段模擬寫成連接之子程式以促進線路模擬速度，有 30% 至 60% 之增進。

4. BRUTUS：交談式之繪圖系統

此系統建立一 VAX 11/780 以 RAMTEK Graphic Terminal 為硬體之交談式繪圖系統，其功能與 Berkeley 之 CAESAR 相似，但又加上 KIC 系統之優點而成。

5. GED-45：建立於桌上型計算機之交談式繪圖系統

本系統亦為一類似 CAESAR，但建立於 HP 9845 desk-top 之小型計算機上之交談式繪圖系統。

6. Symbolic Layout System

本系統是建立於 VAX 11/780 上，利用 RAMTEK 上之 I.G.S. 系統可將 MOS LSI 線路以 stick diagram 方式建立而成，此建成之 stick diagram 線路，可由系統本身轉換成 I.C. layout。

7. Efficient DRC with Only One Boolean Mask Operation

此系統建立於 CDC CYBER 170/720 上，特點為利用一次 Boolean mask operation 來達成 design rule check。

8. An Interactive Graphic Editor and Circuit Extractor for Integrated Circuit Layout

本系統建立於 HP 9845 上與 GED-45 相連，輸入為 CIF file，而將線路以 Bit map 之原理 extract 出，output 為該線路之 wire list 並附有相關 active area 面積大小，可供 circuit simulation 使用。

9. Analytical Timing Models for CMOSFETS Inverters

此模式乃以矽閘 3.5 微米 CMOS Inverters 為準利用 PMOS 與 NMOS 的改良性小訊號等效電路，導出一組解析公式，進而建立一個時序分析程式，所花時間與記憶容量均小。

10. PLA Minimizer and Generator

本系統建立於 VAX 11/780 可將一 combinational logic 之 Boolean input 或 truth table input 經簡化後得其 PLA 佈置圖。

(二) 72年12月～73年11月

主題：超大型積體電路計算機輔助設計系統之建立

子題：

1. MOTA—A MOS Timing Simulator

採用了節點分離，一次高斯一牛頓法及圖表模式技巧以增加模擬速度，有下列特點：
：(1)提供 macro definition，(2)僅有 240 儲存點之含物理意義之圖表模式，(3)在模擬過程中，採「通過」之概念。

2. Timing Models for NMOS Inverters

基於電晶體大信號等效電路對反向器之上昇、下降及遲滯時間導出一組方程式，再用此建立一時序計算程式。

3. Analytical Timing Models for CMOS Combinational Logic and Its Applications in Timing Synthesis

先建立一套時序公式，再與特性波型配合法建立了一時序的合成與分析程式，當輸入一邏輯電路，可算出每個電晶體的最佳尺寸，並印證整個電路的時序。

4. Linger-A Logic/Timing Simulator for Digital MOS IC

基於(1)一個靜態和兩個動態電阻被用來模型化 MOS，(2)在等效電容上考慮導線的寄生負載效應，(3)用結構式描述器及考慮電荷的共用性來得到較精確模擬大型線路

的時序延遲特性。

5. Automatic Test Pattern Generation

以 LSSD (Level Sensitive Scan Design) 形式來設計，用 D-algorithm 來產生測試圖樣及利用 Fault Collapsing random test 等技巧，以減少測試圖樣數目，增加 fault coverage。

6. The Design and Implementation of Symbolic Layout

分成二部分(1)為條狀圖形編輯器，將相對位置輸入；(2)為一檢查及擠壓器先檢查線路的正確性再來擠壓。

7. The Design and Implementation of NMOS Integrated Circuit Extractor

分成二部分：(1)一為展開式摘取器 (FMICE)，(2)一為階層式摘取器 (HMICE)，輸入為 CIF，執行完畢會產生有關線路拓樸描述、電晶體參數、計算電容等所需資料。

8. HICAAP: A Hybrid IC Automatic Artwork Generation Program

此程式包含兩部分：(1)配置、(2)連線，能自動地或交談式地混成元件的連線描述轉換成實際上的佈局。

9. The Design and Implementation of Computer Aided Data Path Analyzer and Generator from High-Level Hardware Description Language

本轉換器可將擬設計之硬體描述之 CDL 3 輸入而自動產生其 Data Path Modules 及其 Control Signals，全部包括八個子程式。

10. A New Algorithm for Logic Function Extraction and Electrical Rule Check in MOS VLSI

它具有二種功能，除了能將電晶體電路轉換成以邏輯閘及傳輸閘表示的邏輯電路外，並能檢驗電路中違反電氣規則的錯誤，可產生兩種不同型式的輸出：(1)是以布林方程表示可供邏輯模擬使用，(2)另一種可供 Timing Simulation 使用。

11. The Design and Implementation of Design Rule Check (NCTUDRC)

它是以 edged-based 原理所建為一 technology、一 independent 之規則檢驗器，包括 7 個功能程式，所有設計規則皆由此 7 功能中之一個或數個完成。

主題：MOSFET 之 Characterization and Modeling

子題：

1. The I-V Characteristics of Small Geometry MOSFETS in VLSI n-MOS/ CMOS-Characterizations and Modelings

本文提出小幾何結構加強型金氧半場效電晶體之洩極電流特性的解析，分兩部分：

第一部分建立新的移轉率模型，第二部分額外地考慮臨界電壓對洩極電壓的依賴性，發展出第二模型，在此特別詳細考慮小幾何結構效應。

2. The I-V Characteristics of Single-Channel Implanted Short-Channel MOSFET Operated in Weak Inversion Conduction—A New Model and Experimental Characterizations

在模型的推導中、通道中的雜質分佈是採階梯分佈近似在次臨界區域中，提出一個考慮擴散電流的新模型，另外也提出一個適用於接近強導通的電流——電壓特性模型，為了能連續地連結此二個電流模式，提出了數個能使此模型模擬整個弱反層區域的電流——電壓特性的方法。

3. The Threshold Voltage and I-V Characteristics of Small Geometry Buried Channel MOSFETS in VLSI-Characterization and New Models

在臨界電壓模式中，考慮了源極與吸極所產生的電荷共有效應及鳥嘴下空乏電荷的影響，在電流——電壓輸出特性模式中，採用了不同的表面與埋層移動率公式，其中縱向及橫向的二度空間效應均考慮可以適用於元件設計及電路系統的分析上。

4. The Effects of the Voltage Overshoot and Undershoot on CMOS Latchup

由實驗觀察這些超射一底射電壓，對於觸發鎖住效應居於重要一環，另外再依據微分負電阻特性，進而建立一套判斷是否會發生鎖住效應之準則，最後本論文研究得出一避免鎖住效應之圖形以爲 CMOS 線路設計者之準則。

5. Analyses and Characterizations of the New CMOS Logic Circuits for VLSI Application

提出多吸極邏輯、鎖住型多吸極邏輯、無臨界點型邏輯、電流式邏輯、回饋型電流式邏輯及射極工作式邏輯等新型 CMOS 線路，加以分析、模擬，從而證明其中數種邏輯具有相當大的發展潛力，可作爲大型或超大型數位積體電路中的高性能邏輯線路。

6. A New Method for SPICE Parameter Extraction

經由本文所提的方法，所得參數不需大的變動便能得到和實驗值相若的結果，而免除繁複的最佳化調整程序，誤差亦小，另外也討論了經由數位積體電路時序關係而求出移動率參數及電容性參數的方法。

7. Substrate Current and Punch-Through Voltage Models For Single-Ion-Implanted Short N-Channel Enhancement MOSFETS in VLSI

本文分爲兩大部分：(1) 發展出基片電流的新解析模型能應用於超大型積體電路中

之元件設計，並作為線路分析所需之工具；(2)利用幾何分析法發展完成抵穿電壓的新解析模型，亦可作為超大型積體電路中之短通道金氧半場效電晶體的設計指引。

8. Threshold Voltage Models for Small Geometry Implanted N-Channel Enhancement MOSFETs in VLSI

本文考慮由於通道佈植所產生高低界面中之建立電壓與電荷分配的方法，利用一度空間的分析可導出對於一次與二次通道佈植的 MOS 顧及短通道效應的具有分析性之模型。另外利用與二度空間之波義生方程式可導出另一具有分析性的模型，除了一額外修正此二度空間的模型，其分析方法所產生的結果和利用一度空間是相同的。

9. Process- and Structure-Oriented Simulation Model for Bipolar Transistor and Its Application in Circuit Simulation

本文描述一個解析模型的電晶體模擬器，用來迅速分析雙極性電晶體，完成的模擬程式可以接受雙極性電晶體之結構大小，摻雜分布及材料參數作為輸入，從而根據這些資料直接計算元件的特性。

(三)73年12月～74年11月

主題：超大型積體電路計算輔助設計系統之建立

子題：

1. A General and Efficient Timing Model for CMOS AND-OR-INVERTER and OR-AND-INVERTER

此模式利用線性大訊號等效電路及零值時間常數的法則，以主極點為變數，可以明確表示訊號時間，對於各種不同的變因，計算時序公式的運算結果，進而建立有效又精確的分析〔(及一或一反閘)或(或一及一反閘)〕的訊號時間。

2. CRITH—A Critical Path Timing Analysis Program for CMOS Circuits

CRITH (克利斯) 擁有 CAESAR, SPICE 及 MOTA 為介面可將延遲訊號直接顯示在佈置及作更精確時序波型模擬，此程式可指出不正常電路行為，同時預測被測電路的最高工作頻率。

3. Algorithm for Single Row Routing

本文提出區域範圍處理的觀念，及其可繞性的充分必要條件，並且發展有效率、直覺的演算法求得更接近最佳化。

4. Dynamic Transfer Curve and CEC Algorithm for MOS Transient Analysis

動態轉換曲線被拓展成曲面時和時序波形有一關係可以被計算出來，而 CEC 方法包括 6 個次方法以謀求在速度上、準確度上和記憶需求量上的要求。

5. ICADS—An Integrated VLSI CAD System

在此系統中所有 CAD 的軟體工具，均利用轉換器而連結，且有一資料管理方式及一高層次介面建立能幫助設計者監督、檢查、更新所設計的流程。

6. EMILY—An Interactive Graphic Editor for VLSI Layout

本文所使用的資料結構以釘角結果為基礎因此設計規則的檢查、線路的尋取、壓縮等都能在這結構下，進行交談式的使用。

7. Design of a 2nd Order Bit-Serial Digital Filter

本文使用了一種乘法器—延遲器提取法來描述整個濾波器的結構，由此可以很容易了解其結構與特性的關係，並可得不同結構的濾波器。

8. The Design and Implementation of a 16-Bit CMOS LSI Multiplier

本設計係針對乘法器的乘法理論、硬體架構及細部電路三方面加以改善，簡化設計的複雜度，可容易擴充到任何位元長的乘法器製作上。

9. The Design and Implementation of Bit Serial Multiplier/Convolver

本文所提的乘法器，結構簡單，而能執行二補數的乘法，能自行產生控制信號，另二種迴旋器基於功能相同的方塊圖而以不同方式去設計，需要外輸入控制訊號，最後利用標準元設計此三種線路。

10. PLAG:A PLA Generator for Column-Folded PLAS

利用類似「磚塊堆砌」的方法來產生佈局，以磚塊為一基本單元，內含佈局層次資料，因此與製程完全獨立。

11. An Automatic Layout Generating Method for N-Bits paralleled Adders

本文利用字串連接的概念，展示一個更具有統一性而適用於多層前看進位加法器的模型，可適任何整數 N 而不只是 2 的次方。

12. A CMOS VLSI Circuit Extractor

此擷取器 (CMOS-CE) 可以針對 CMOS 及 NMOS 技術去擷取電晶體及節點連結的資料，它具有應用及階層二種模式，在前者速度是 $O(N^{14})$ ，而後者會有相當程度的改變。

13. A Functional Level Simulator for Digital Signal Processing

此模擬器能接受兩種訊號類比、數位型態為輸入不但模擬其系統功能，也能模擬其時間關係是一個「事件驅動」和「時序同步」的模擬器。

14. LOVE—A Logic Verification Program

目的在檢驗邏輯線路與實際線路的是否符合，可檢驗出其錯誤之邏輯閘和錯誤的連接線。

15. Study and Implementation of Automatic Gate Matrix Layout Generator by Rule-Based Approach

本系統以 PROLOG 語言完成，以規則推理方式解決佈線圖之自動產生，供給一個五階層之邏輯單元宣告輸入為邏輯線路圖，輸出為閘矩陣佈線圖。

16. BBR—A Building Block Routing System for VLSI

此系統可以處理任意大小基礎元件的繞線問題，而且 user 可以有層序性的設計線路，可以達到百分之百的繞線成功率。

17. Design and Implementation of an Automatic Layout System—Using Gate Matrix Approach (ALS-UGMA)

ALS-UGMA 自動化佈置系統是一個用於 CMOS 技術上的電腦輔助線路佈置系統，能接受閘級的線路宣告格式而產生佈置圖、實驗結果、ALS-UGMA 平均能達到 13% 的佈置面積縮減。

二、人 力

教 師

1. 吳 慶 源 教授

專長：半導體元件模擬

2. 李 崇 仁 教授

專長：積體電路模擬、分析、計算機輔助設計

3. 陳 正 教授

專長：VLSI 系統、計算機輔助設計

4. 傅 心 家 教授

專長：VLSI 系統、計算機結構

5. 劉 振 漢 教授

專長：資料結構、工作站

6. 吳 重 雨 教授

專長：積體電路線路分析

7. 沈 文 仁 副教授

專長：VLSI 設計、計算機輔助設計

8. 任 建 蔚 副教授

專長：VLSI 設計、計算機輔助設計

9. 徐 力 行 副教授

專長：計算機演算法 Placement and Routing

三、設備

| | |
|--------------------------|-----|
| 1. VAX-780 Computer | ½ 套 |
| 2. 擬添購 VAX 8600 Computer | 1 套 |
| 3. Graphic Terminals | |
| (1) AED-512 | 5 台 |
| (2) DSCAN-1104 | 3 台 |
| (3) TEK-4114 | 1 台 |
| (4) TEK-4611 | 1 台 |
| (5) TEK-4112 | 2 台 |
| (6) RAMTEK-6211 | 2 台 |
| 4. Plotter | |
| (1) V-80 | 1 台 |

四、已完成碩、博士論文

1. Logic Simulation: LOSIM
2. Design and Implementation of Switch-Level Logic Simulation (MOSSIM-like)
3. SPICE-2P
4. BRUTUS
5. Symbolic Layout System
6. Efficient DRC with Only One Boolean Mask Operation
7. An Interactive Graphic Editor and Circuit Extractor for Integrated Circuit Layout
8. Analytical Timing Models for CMOSFETS Inverters
9. PLA Minimizer and Generator
10. Substrate Current and Punch-Through Voltage Models for Single-Ion-Implanted Short N-Channel Enhancement MOSFETS in VLSI
11. Analyses and Characterizations of the New CMOS, Logic Circuits for

VLSI Application

12. Threshold Voltage Models for Small Geometry Implanted N-Channel Enhancement MOSFETS in VLSI
13. The Design and Implementation of Symbolic Layout
14. The Effects of the Voltage Overshoot and Undershoot on CMOS Latchup
15. Timing Models for NMOS Inverters
16. The Design and Implementation of NMOS Integrated Circuit Extractors
17. Process- and Structure-Oriented Simulation Model for Bipolar Transistor and It's Application in Circuit Simulation
18. Analytical Timing Models for CMOS Combinational Logic and Its Applications in Timing Synthesis
19. Mota—A MOS Timing Simulator
20. Linger—A Logic/Timing Simulator for Digital MOS IC
21. The Threshold Voltage and I-V Characteristics of Small Geometry Buried Channel MOSFETS in VLSI—Characterization and New Models
22. A New Algorithm for Logic Function Extraction and Electrical Rule Check in MOS VLSI
23. Hicaap: A Hybrid IC Automatic Artwork Generation
24. A New Method for SPICE Parameter Extraction
25. The I-V Characteristics of Single-Channel Implanted Short-Channel MOSFETS Operated in Weak Inversion Conduction—A New Model and Experimental Characterization
26. The I-V Characteristic of Small Geometry MOSFETS in VLSI N-MOS/ CMOS characterization and Modelings
27. Design of a 2nd Order Bit-Serial Digital Filter
28. Dynamic Transfer Curve and CEC Algorithm for MOS Transient Analysis
29. The Design and Implementation of Bit Serial Multiplier/Convolver
30. The Design and Implementation of a 16-Bit CMOS VLSI Multiplier
31. ICADS—An Integrated VLSI CAD System
32. Emily—An Interactive Graphic Editor for VLSI Layout
33. PLAG: A PLA Generator for Column-Folded PLAS
34. A General and Efficient Timing Models for CMOS AND-OR-Inverter and

OR-AND-Inveterer Gates

35. Crith—A Critical Path Timing Analysis Program for CMOS Circuits
36. An Automatic Layout Generating Method for N-Bits Parallel Adders
37. Algorithm for Single Row Routing
38. A CMOS VLSI Circuit Extractor
39. A Functional Level Simulator for Digital Signal Processing
40. Love—A Logic Verification
41. Study and Implementation of Automatic Gate Matrix
42. BBR—A Building Block Routing System for VLSI
43. Design and Implementation of an Automatic Layout System-Using Gate Matrix Approach (ALS-UGMA)

五、目前所發展成功之 Tools 與 Systems

1. Layout Tools:

- (1)BRUTUS: 交談式之繪圖系統
- (2)Emily: 交談式之繪圖 (VLSI Layout)
- (3)SLINT: Symbolic Layout System
- (4)BBR: A Building Block Routing System

2. Simulation Tools:

- (1)SPICE:由美國 Berkely 發展出，SPICE-2P 是改良 SPICE-2 以增加模擬速度
- (2)MOTA: A MOS timing simulator
- (3)MOSSIM: An event-driven switch-level simulator for MOS transistor Circuit
- (4)LOGSIM:A logic simulator uses event-driven principle to improve speed

3. Verifiers:

- (1)CCITH: A semi-interactive timing analyzer for CMOS/NMOS Circuit
- (2)DRC: Checks for a 5 micron NMOS Process, default $\lambda=2.5$ micron
- (3)ERC: The electrical rule checker

4. Extractor:

- (1)LE : The Logic Extractor
- (2)MICE:The circuit extractor can handle CMOS/NMOS

5. Synthesis:

(1) PLAMG: The Programmable Logic Array Minimizer & Generator

六、目前進行工作

目前進行工作，包括下列三大部分：(一) CAD 軟體設計工具方面：繼續加強過去發展之 CAD 軟體，並着手改進以整合為一個超大型積體電路計算輔助設計系統，此外並進行發展混階式線路模擬系統；另外並加上有關「可測試設計」方面的軟體工具，以提高設計方面的能力。(二) VLSI 系統的設計：為了提高系統的實用性，CAD 工具的發展與使用者之間的雙向溝通絕對必要，因此一年度，我們提出了幾個 VLSI 系統的設計，其中包括 32 位元處理機，具有對數 $\log N$ 時間之快速乘法器設計，以及具有內藏測試功能之快速富氏轉換。此外我們並發展一套特定用途—加法器—的自動設計與佈線系統。(三) 數位積體電路測試機：為了使產品測試能在經濟的考慮因素下進行，我們提出了一個以個人電腦為架構的低成本、多功能測試機。

為了達到上述之三項目標，全部計畫計分為 7 項計畫進行：

1. 一整合式超大型積體電路計算機輔助設計系統及一混階式線路模擬器：於整合式之系統中，擬將上年度建立之雛型系統，加以擴充並改進。於混階式模擬系統中，建立一涵蓋邏輯與線路時序層次之模擬器。
2. CMOS 閘排列佈置圖自動產生系統：此系統將包含三個副系統：線路翻譯，列軌最佳化及佈置圖產生。其功能具有將 CMOS 電路圖直接產生佈置圖（layout），而達 layout 自動化之效果。
3. 一個有限指令集 32 位元計算機之設計：此 CPU 具有 RISC 之型態但包含有較多之功能，如乘法、除法、multiload/store 等。
4. 具有 $\log N$ 速度之快速乘法器設計：採用 redundant 數系，研究在乘法上之可行性，並設計成單晶位乘法器。
5. 具內藏測試功能之快速富氏轉換器之設計：在設計過程中，引入可測試設計的觀念。為了提高 fault coverage，將發展一套軟體程式以自動找出最經濟的測試硬體。
6. 快速並行加法器之自動設計系統：利用 CMOS 設計一套自動產生 layout 之系統，可精確預測速度與面積，為一特定用途之矽編譯器架構。
7. 利用個人電腦設計之多用途低成本數位積體電路測試機：為確保包裝後之積體電路能符合要求，急需一套測試機，本系統將以普及的 16 位元電腦為架構，規劃一個測試機。除了標準電路外，客戶訂製型與微處理機都能加以測試。

七、未來計畫

未來數年，本校於 VLSI/CAD 之發展將循下列數方向：

1. 各層次之 CAD 軟體工具，於線路、時序、元件、佈置、層次、尋求新的方法、新的模式、新的 Algorithm。
2. 整合式 VLSI/CAD 系統：基於已經整合之 CAD 系統上，將更多的軟體工具加入，使 VLSI 設計更自動化，中長程目標為發展人工智慧型之矽編輯器 VLSI/CAD 系統。
3. 可測試性及錯誤可容性設計之研究：於線路、邏輯層次研究可測試性，並於計算機結構層次研究錯誤可容性設計。
4. 精簡指令集計算機晶片及訊號處理晶片設計：對特殊用途之精簡指令集計算機及對訊號處理用途之晶片及其中各種處理器（如 multipliers）尋求新的方法與 Algorithm。

附錄三、國立成功大學 VLSI/CAD 研究與人才培育概況

一、以往數年進行 VLSI/CAD 專題

題目：超大型積體電路電腦輔助設計軟體程式之建立

CAD Programming for VLSI Design

內容：

1. VLSI System Architecture

以設計一語言分析 IC 晶片為目標，依據 SYSTOLIC 之新觀念，研究 VLSI 之系統結構，設計一具有信號處理能力之 VLSI 。

2. Logic Design

以設計一語言分析 IC 晶片為目標。由第一項所設計之 VLSI 結構，設計語言分析之邏輯電路，此邏輯電路將應用 VLSI 之特徵。

3. Logic Simulator

本分項研究計畫擬使用 VAX-11/780 配合高解析度之顯影機等硬體設備，發展一套可作邏輯模擬之程式，構成一套 CAD 交談式邏輯模擬系統作為邏輯設計校誤之工具。

4. Graphic Editor

研製一交談式繪圖編校系統，此一軟體系統將作為 VLSI CAD 之設計工具並且有處理 CIF 之能力。

5. Symbolic Layout Software

以本所現有之 Stick Diagram Program 參考資料為基礎，研究 Symbolic Layout 之技術，並以該軟體為規範，自行設計類似之軟體以作為日後自動化設計發展之基礎。

6. Topological Design

研究拓樸理論在 IC Layout 上之應用，並以本所對於 Placement 與 Routing 方面研究成果為基礎，發展一自動化設計之軟體系統，以達到 VLSI CAD 高度自動化之目標。

7. Design Rule Checking (DRC)

以本所目前 DRC 研究之成果為基礎，發展一佈圖校誤之程式系統，使具有圖形邏輯運算與尺寸偵誤之能力。

二、人 力

教 師

1. 李 肇 嚴 博士

專長：積體電路拓樸設計及模擬、CAD、薄膜電路通信系統、VLSI

2. 王 駿 發 博士

專長：計算機輔助設計、計算機結構、計算機圖學

3. 劉 濱 達 博士

專長：非晶矽太陽能、計算機輔助設計

4. 孔 令 洋 博士

專長：管線型電腦結構、並聯處理法、邏輯設計

已訓練人才 M.S. 15 人

目前進行學位研究 M.S.:24人

PH. D.: 8 人

三、設 備

VAX-11/780, Tektronic Graphic System Plotter, Digitizer, Color Graphic Terminals。

四、碩、博士論文題目

1. 印刷電路板自動式／交談式佈圖與連線

2. 交談式繪圖程式組體產生器

3. 超大型積體電路階層式電路粹取器

4. 錯誤容忍之質數傅立葉轉換處理器

5. 計算機輔助分析交換電容電路

6. 積體電路標準元件之自動排列與連線

7. 非線性交換電容電路之分析與綜合

8. 整合印刷電路板系統電腦輔助設計線路圖產生器

9. 大型積體電路位元串列式並行快速傅立葉轉換之研究與實現

10. 階層式超大型積體電路佈置圖檢驗器

11. 超大型積體電路連線驗證方法論

12. 間排列之自動佈圖與連線

13.共時式障礙模擬器之研究與實現

五、目前發展成功之 Tool 與 System

- 1.超大型積體電路線路模擬電腦軟體：用以輔助設計積體電路中電晶體特性時態反應，功率消耗，以及線路穩定性等。
- 2.超大型積體電路之拓樸設計電腦軟體：建立軟體程式，以電腦輔助自動佈置超大型積體電路中各電晶體之最佳位置，並自動連線。
- 3.超大型積體電路圖案編輯軟體：可用電腦彩色終端機展示超大型積體電路各層面圖案。
- 4.超大型積體電路偵錯軟體：超大型積體電路可能含有數百萬個電晶體，佈圖設計難免發生錯誤，本軟體可自動測出錯誤所在。
- 5.積體電路邏輯模擬軟體：可模擬所設計邏輯電路之功能與反應以檢驗設計是否正確。
- 6.信號處理專用積體電路之設計：設計華爾恕變換與傅立葉變換之專用積體電路，可供作龐大信號處理之用。
- 7.超大型積體電路電晶體參數擷取之軟體：用以從實驗數據中擷取電晶體之物理及設計參數，供作電晶體設計之依據。
- 8.短通道金氧半元件模擬程式：用於模擬電子元件縮小後產生之各種效應，可作為工廠設計超大型積體電路之參考。

六、目前進行工作

題目：超大型積體電路設計系統及應用

VLSI/CAD System Design & Application

內容：

1. VLSI 系統架構

VLSI 所面臨的挑戰是將一完整的系統建立於單獨的一塊矽晶片上，但以現今傳統之架構置於單矽晶片並不能達到預期的效果與較佳之性能，故近來之趨勢乃以特定用途之架構為研究方面並配合 Systolic 與 Wavefront 之技術。本分項計畫以發展一具有信號處理能力之 VLSI 晶片為目標，研究新的 VLSI 系統架構與演算法（Algorithm）。

2. 智慧型繪圖編校器

交談式 CAD 工具已為設計自動化之主流，VLSI CAD 工具中不可缺少者之一為繪圖編校器。將 Net-List Driven 觀念應用於繪圖編校器可增加其功能，如 DRC 與自

動邏輯連線校對等等，使成為更具價值之 CAD 工具。

3. VLSI 之可測試性設計

由於 VLSI 電路之高密度與複雜性使測試問題產生極大之困難，可測試性設計之技術因而成為快速發展之學問。VLSI 之可測試性設計以可控制性與可觀測性的關鍵。可測試性設計可分為非結構式，結構式與自測及內建測試等三類。其中結構式之準位敏式掃描設計（LSSD）具有良好之效果，而自測及內建測試乃集合結構之優點發展而成，以內建邏輯組觀察法（BILBO）最受歡迎，本分項計畫研究 VLSI 之可測試性設計，將採用 BILBO 之優點並作改進。

4. 電腦輔助設計之整合系統

發展一 VLSI CAD 之整合性系統是達到設計自動化的主要途徑，結合各 CAD 工具研究之成果不但可縮短發展週期，擴大原有之研究成果，更可使系統之功能盡善盡美，而研究之方向則以資料庫之建立，各設計語言之統一化及各 CAD 軟體之溝通界面為主。

5. 人工智慧導向之擺位與連線

為適應新的 VLSI 系統架構之需要，電路幾何佈置之整體規劃與考慮是非常重要的。以往之擺位與連線為演算法導向者，較缺乏彈性，應用易受限制。近來人工智慧與知識庫之研究益受重視，結合此等研究與技術於擺位與連線，突破演算法之限制為本分項計畫之主題。

6. 可規劃邏輯列陣自動合成系統之建立

VLSI 之設計與技術中，PLA 配合建構扮演了重要的角色並具有多項優點。例如可規劃之彈性，適合 VLSI 結構之單純性等等，同時也是實現設計自動化途徑之一，PLA 之合成系統在國外已有多項研究，但功能有限。本分項計畫以 PLA 自動合成系統之建立為目標，並將加入多項功能，及研究與其他系統之交連及配合。

七、未來發展

CAD Tool 方面：加強 Placement Routing 及 Verification 方面之研究包括：

(一) 結合各種演算法及人工智慧作總體性之總合

(二) Multilayer Router

(三) Knowledge Based Routing System

(四) Hierarchical Routing System

(五) Incremental Verification System

Chip Design 方面：

(→)Error Control Code and VLSI

BCH Code, RS Code, Convolutional Code

(↔)DSP and VLSI Fast Arithmetics (運用 Number Theoretic Transform 技術)

Digital Filter, FFT, WFT

Image Processing

2D-DSP

附錄四、國立清華大學 VLSI/CAD 研究與人才培育概況

一、往年所進行之研究專題

以往三年內，清大電機研究所與計算機管理決策研究所在 VLSI/CAD 方面之研究重點在 Circuit design, Switch-level Simulation 的製作與理論方面一些 algorithm 之研究。三年來，在 chip design 方面，72 年度設計出四個線路之 layouts，並經電子所完成四個晶方，此四件分別為：Sorter, Electronic-locker, Radiation alarm-Clock 及 Logical Function Generator。73 年度完成八個線路設計之 layouts；分別為：Bezer Curve/Surface Generator, Fast Walsh Transformer, Convolution-Code Decoder, Carry-Save-Adder Multiplier, Array Multiplier, Automatic Welding-Machine Controller, Traffic-Controller, Floating-Point Multiplier，其中四個已送電子所，開始做晶方中，其他四個 layout 已完成，即將 74 年度的八組 layout 一起送交電子所，74 年度我們設計八組線路，分別為：UART, Pattern, Machar, Radix Coder (BOD), Fast Serial-Parallel Binary Multiplier, Parallel Emulating Sorter, Data Collector, Not-Used-Recently Page Replacer (NUR) 與 Fast-Exponenter。這八個線路已完成設計且 Logic Simulation 有的也做了 Timing Simulation，自 74 年 12 月初開始，已經進行 layout 的製作，預定在 75 年 2 月底完成 layout，並將結果送交電子所，另外我們也將設計一個特殊的中文語音識別的晶方與一個幾何運算機。這二個特殊線路比前述八個線路複雜，故我們將另外組成「專案」小組來進行。

綜合而言，在 Chip Design 方面，我們注重 Algorithm 的收集、分析、系統規劃與設計、線路設計與檢核（即做 logic 與 timing 的 Simulation）及 layout 的製作，以這些方式來訓練同學們分析、評估與製作方面的能力，在 CAD 之軟體工具製作方面，林呈祥教授於 73~74 年度中，先完成一個叫做 SWISIM 的一般性 Switch-level Simulator，而在 74~75 年度間，將繼續在這 SWISIM 上增加障礙 (fault) 模擬之功能，稱為 SWISIMF。在理論部分，有博士班學生們在進行 Placement & Routing 問題中的 Algorithm 與 Performance 方面的研究，也有的同學在做 hardware computer。

二、人 力

在人力方面，在過去三年中，我們共計有四位教授在推動這方面的研究，計有李家同教授、林呈祥教授、鄭復華教授、金陽和教授，培育人才方面有碩士班同學約40人，目前在教授方面將有一位計管所張隆紋教授要加入，至於學位方面目前有二位碩士班同學進行 Simulator 的研究，一位同學進行幾何運算機之研究，四位博士班同學做理論方面之研究工作。

三、設 備

軟體方面用到的 tools 有：ISPS, ELOGS, SWISIM, SPICES 與 System V (layout 用的)。

硬體方面有：NEC 9801 四台專供同學們做 layout 用。

四、碩、博士論文

目前有一位碩士級同學在進行這方面的研究工作，他的論文範圍是在 switch-level 上加上 fault simulation 的能力，此項研究仍是持續，並加強以前（72~74年度）二位同學所發展 SWISIM 的功能，博士方面有四位同學亦在進行此方面之研究，研究範圍分別為：

- (1) Silicon Compiler
- (2) Hardware Compiler
- (3) Optimal Channel Routing
- (4) Placement Problem

五、目前發展成功的 Tools 與 System

已完成的 tool 有林教授的 SWISIM，並在進行一個稱為 SWISIMF 的 Fault Simulator。

六、目前進行之工作

可分三部分來討論，在特殊線路方面有中文語音識別器，與幾何運算器，以及有關 Digital Signal Processor 方面所用到的一些乘法器等，在 CAD 的 tools 方面則為 Fault Simulator 及 Test Pattern Generation 等，在理論方面將持續 Algorithm for Placement & Routing 與 Hardware Computer。

七、未來計畫

由於 VLSI 的一般技術日益成熟，許多線路也越做越複雜，未來除了持續並加強目前工作外，也希望在 Testing 方面做一些研究。

附錄五、工業技術研究院電子工業研究所VLSI/CAD概況

一、人 力

目前編制人力為16人平均年資三年。

歷年由電子所培育，曾從事 CAD 之人才約10人。

二、設 備

(一)硬 體

| 名 称 | 數量 | 主要功能 | 軟體系統／主要軟體 |
|----------------|----|------------------|--------------------------------------|
| VAX 11/780 | 2 | Host Computer | VMS 3.7, VMS 4.1 |
| Applicon | 2 | Layout System | AGS 860 |
| Daisy Logician | 4 | Workstation | DED, DANCE, DRINK, SIGN, DLS, DTV |
| TEK 4113B | 2 | Graphic Terminal | KIC 2 |
| Chromatics | 2 | Layout Editor | CAEPAC I |

(二)軟 體

1. Simulation Tool

ISPS (System Simulator)[△], ESPICE (Circuit Simulator)[△]

FELOGS 2 (Functional & Logic Simulator)

DATAS (Logic Simulator)*

FSIM (Fault Simulator)*

2. Design Tool

PLAG (PLA generator)*

DELDEP (Delay line design program)*

3. Layout Editor

KIC2[△], CAEPAE I°, SLICOM (Symbolic layout program)*

4. Layout Tool

CADISYS (Gate Array Auto Layout System)[○]

MACLAY (Standard Cell Auto Layout System)*

PGVX860 (P.G. generator)*

ROMAN (ROM Code generator)*

5. Layout Verifier

DRACULA II (DRC/ERC/LVS/LPE)°

ERSODRC*, CEAP (Circuit extraction and plot program)*

註：*表示爲 ERSO 自行發展

△表示爲 ERSO 引進修改

°表示爲外購

三、研究題目及成果

1. 民國69年引進電路模擬程式 SPICE 2E，進行程式分析，建立維護能力，於70年完成「SPICE II 模擬程式分析」一書。71年續引進 SPICE 2G.1.，73年引進 SPICE 2G.6，並增添功能改進爲 ESPICE。
2. 民國69年試用邏輯模擬程式 TEGAS 3，70 年開始自行建立邏輯模擬程式 LOSP、ELOGS，71年完成 ELOGS 程式建立，並撰寫「ELOGS 模擬程式設計」一書。73 年加入功能模擬能力成爲 FELOGS 2。
3. 民國71年 4 月啓用 VAX 11/780 ，進行「僅讀記憶佈局產生程式 ROMAN」撰寫，陸續改進。
4. 民國72年度進行「PLA 自動產生程式」製作。72年 7 月完成 PLAG 程式。
5. 民國72年 7 月開始進行「佈局驗證程式 ERSODRC」製作，於73年 6 月完成。
6. 民國72年 7 月開始「標準元自動佈局程式 MACLAY」製作，73年12月完成，74年 9 月試用完成，並繼續改進計畫。
7. 民國73年引進佈局驗證系統 DRACULA II (DRC/ERC/LVS) 及閘排列自動佈局系統 CADISYS。
8. 民國73年 7 月開始邏輯模擬與測試程式產生系統 DATAS 製作，74年10月完成邏輯模擬部分，並繼續測試程式產生之製作。
9. 民國73年底引進 Daisy Mega Logician 及 Personal Logician Workstation 共四部。
10. 民國73年 7 月開始「符號佈局編輯程式 SLICOM」之製作，74年 6 月完成。
11. 73年 7 月開始規劃 CAD Integration System，建立 ECDL 及多項 Interface 程式，74年 1 月成立共同設計服務部提供完整之半客戶設計軟體系統。

四、推廣訓練

電子所爲推廣國內 CAD 之研究，有關之活動如下：

1. 民國70年10月與國科會合辦「CAD 技術在 IC 之應用研討會」。
2. 民國 72 年 3 月與國科會聯合主辦「1983 國際超大型積體電路技術系統及應用研討會」。
3. 民國72年 6 月電腦技術研討會，發表「電路模擬應用介紹」。
4. 民國73年 6 月電腦技術研討會，發表「電腦輔助設計在 VLSI 上之發展」電路元資料庫建立。
5. 民國74年 3 月舉辦積體電路共同設計研討會發表「積體電路設計之 CAD 工具」。
6. 民國 74 年 5 月與國科會聯合主辦「1985 國際超大型積體電路技術系統及應用研討會」。

歷年來，經由電子所移轉給各研究機構之軟體有：

清 大：KIC 2, SPICE 2 G.6, EMOTIS-C, ELOGS
成 大：SPICE II, MOTIS-C, SIMPIL, LOSP, ELOGS, SUPREM, SEDAM,
FLDGSS II
中 大：SIMPIL, MOTIS, SEDAM, LOSP, ELOGS
中科院：SPICE
交 大：SPICE II, MOTIS-C, LOSP, SUPREM, SEDAM, ELOGS
電信研究所：SPICE
臺 大：SPICE 2G.1, ELOGS, SEDAM, SUPREM, SIMPIL, MOTIS-C
大同工學院：SPICE 2G.6, MOTIS-C, ELOGS
淡 江：SPICE II, FELOGS2, ELICS
工技學院：SPICE II, SUPREM, SIMPIL, MOTIS-C, SEDAM, LOSP, ELOGS

歷年由電子所與研究機構合作進行之研究計畫有：

1. SPICE-2 MOS I-V曲線與 CIC-002測試鍵數據匹合研究（成大70.4.~70.9.）
2. VLSI 電腦輔助設計工作站（交大72.11.~73.10.）
3. CMOS 及 NMOS 邏輯閘時序模擬式之擴大建立及應用程式之改進（交大 73.12.~74.11.）
4. 提供 VLSI 系統設計之新硬體描述語言設計之研究（交大73.12.~74.11.）
5. PLA 自動產生器之研究（中央研究院73.9.~74.8.）

另外自71年開始之 MPC (Mult-Project Chip) 計畫對國內各大學之 CAD 推廣有甚大影響。

附錄六、「整合式 VLSI/CAD 系統」調查報告

一、簡介

隨著半導體技術的進步，積體電路的元件密度日益增高，從 SSI、MSI 進而今日的 LSI 與 VLSI。由於 LSI 與 VLSI 的電路結構與功能均極為複雜，其設計非依賴計算機輔助設計（CAD）系統不可。近年來，有不少積體電路 CAD 工具程式及系統被發展出來，然而極少數能在實際應用中被證實是系統化且有效。目前國內亦正大力提倡 VLSI CAD 研究，各大學也陸續自行發展了一些工具程式。然而也是欠缺全套的整合系統的研究。在一個整合式 CAD 系統中，各新發展的工具程式間能够密切配合。免除不必要的介面程式與資料轉譯工作。設計工作因而簡單化，錯誤減少，產品的開發加快，成本降低。因此它是發展 VLSI 工業不可或缺的系統。本文就目前國內外整合式 VLSI CAD 系統做一調查，並將該類系統的特性及功能要求歸納於結論之中。

二、背景

積體電路的計算機輔助設計（CAD）系統，主要是提供各種工具程式，協助積體電路設計人員從事產生、評估及驗證其所做的設計。以往常見的工具程式之類型有：(1) 電路模擬程式，(2)邏輯模擬程式，(3)時基驗證程式，(4)交談式圖形系統及(5)設計規則驗證程式等。對於積體電路的設計、開發及生產，這些工具程式的應用，具有絕對的影響力。隨着半導體技術的進步，積體電路的元件密度，已從小型（SSI）、中型（MSI），進而大型（LSI）及超大型（VLSI）。今日的 LSI 及 VLSI 的電路結構與功能均極為複雜，CAD 工具程式的使用更是不可或缺。然而目前一般的 CAD 系統，大部只是提供一些零散而未整合的工具程式，設計工作繁鎖易錯；而且大部分的工具程式都是自早期沿用至今，只適合做複雜度低的設計 [7]。因此，為應付今日及未來 VLSI 設計的複雜，採用新的觀念，配合今日的技術環境，發展新的 CAD 系統是必要的。此系統必須具有全套整合的工具程式，提供新的設計方法及較友善且一致的人機介面，簡化設計步驟，以提高設計人員的工作效能及設計品質。

三、國內外相關之相關研究及系統

在1980年 Mead-Conway 設計方法 [12] 提出以後，計算機科學人員可以自行從事積體電路的設計實驗。自那時起，在美國推展 VLSI CAD 較前進的幾個大學，有許多

新一代的設計工具程式被陸續發展出來。例如：Caesar 電路光罩圖樣校程式 [13]、Mac Pitts、資料路徑產生器 [14]、Esim 及 NL/RNL [15] 等邏輯模擬程式，還有 TV [16] 及 Crystal [17] 等時序分析程式。然後這些只是個別的程式而非整套系統。不同來源的工具程式通常有不同的資料格式及介面要求，難以直接整合成套，必須依賴各種不同的介面程式居中做資料轉譯工作。

標準交換語言，如 CIF (Caltech Intermediate Form) [12] 的使用，雖可解決某些程式間的資料交換問題，但由於它主要是用來描述積體電路所用的光罩圖樣結構，而不能描述行為及其他較高階的結構。

現有的語言，除 Sandia National Lab. 所發展的 UHDL [1] 有多方面的描述功能外，其他如 ISP [19]、DDL [20]、ADLIB [4]、……等語言亦大都只適用於某一設計階段及某一特殊樣型的描述，且未整合入一完整的設計系統，所以都不適做工具程式整合的單一媒介。

整合式設計系統的例子不多，今分述如下：

Prime 電腦公司所發展的整合式 VLSI 設計系統 [3]，是以兩個資料庫：邏輯資料庫與光罩圖資料庫二者為中心，將各種工具程式整合除資料庫外，該系統還包括四個主要部分：(1)邏輯模擬與測試圖樣產生，(2)電路模擬，(3)光罩圖軟體，如光罩圖產生、處理及印驗等，及(4)自動佈局軟體。

BURLAP [2] 是一層次化 VLSI 設計系統，各工具程式亦以一設計資料庫整合成套。資料庫中除設計資料檔外，還含有 Cell 與 Package library。其工具程式分四大類：(1)設計輸入與分析，(2)基板規劃 (Floor Planning)，(3)自動放置與佈線及(4)佈局與時基驗證。

Sandia CAD System [1] 是較完整的一個整合式 VLSI 設計系統。全套系統以系統設計語言 UHDL，設計執行者程式及資料庫將各工具程式整合。設計執行者程式主要是在使用者與工具程式間提供一單一且一致的介面。此外，並提供全套 HELP 功能，負責 UHDL 至內在資料格式之轉譯，及管理資料庫與各設計工具程式間資料之流動。

AT&T 公司的整合式 CAD 系統 [24] 主要由兩個功能副系統組成。其中工程設計系統 (EDS) 負責設計輸入、驗證及離型等層次，而聯接設計系統 (IDS) 負責實體佈局及文件等功能。該系統之主要特點有(1)採用中央資料庫為整個各工具程式之中心，(2)提供廣泛之功能，包括 CAD, CAM, documentation，且全系統極高度整合。

HIGHAND 為 UTMC 公司的 CAD 系統 [23]，提供標準元件及閘陣列電路設計等，採用單一輸入語言及層次式設計方式，其主要工具有邏輯及時序分析，可測性分析、實體設計、測試程式產生及 Tegas 模擬程式等。各設計之 logic module 係由一

結構語言（SDL）描述。該系統之主要特點有：(1)係一全套整合之邏輯設計系統，並已逐漸演進成為一系設計環境，(2)系統之自我測試功能完整，(3)軟體 release 亦有一套完整之步驟。

日本 Atsugi 公司的整合式設計自動化系統 [25]，包括整合的設計資料庫、自動設計處理程式、設計驗證工具及交談式設計輸入系統。其自動邏輯合成程式及層次式佈局系統，對於整體設計負擔之減輕最為重要，另外，該系統還發展了一單一化設計語言，其特點如下：(1)提供系統層次至電路層次之支援，(2)包容層次設計方法，(3)對所有工具程式提供共通輸入資料，(4)可做為邏輯及實體結構間之橋樑，(5)其描述能力極適合於邏輯合成而非僅供模擬之用。

其他較早期之相關研究或系統報導尚有 [5,6,8~11,18,21,22] 等。

四、整合式設計 VLSI 系統的特性及功能要求

根據一般積體電路的設計程序及前述有關於 CAD 系統的研究報導，一個整合式 VLSI 設計系統的特性及功能要求可歸納如下：

- (一) 系統所提供的工具程式必須是：(1)使用方法簡便，(2)具模組化軟體結構，(3)具高度的適應性，適合各種不同的半導體技術，並能應付瞬息萬變的設計需要，(4)具有高度的可移性（Portability）及設備獨立性（Device Independence）及(5)是全套整合的軟體。
- (二) 此系統必須提供層次化的設計步驟 [22,23]，協助設計人員能循序地從最初的構想進行到最後的實作，且同時能產生完整的設計文件。
- (三) 此系統必須能同時提供功能及結構設計。功能設計輔助包括在架構、系統、邏輯、電路及元件等設計階層，從事電路合成、驗證、模擬及測試等。結構設計輔助則在各設計階層提供分割、佈局與結構分析等。在整個設計過程中，必須同時考慮到積體電路的功能要求、可測性及結構要求。
- (四) 此系統必須提供一單一化設計資料管理方法一一建立設計資料庫。資料庫可將同一設計在不同階層，不同的設計方法或架構及同一設計各演進的各種資料組織起來。設計系統則控制設計人員對資料的同時取用，並保證在系統故障時，資料得以保全。將所有的設計資料歸於一單一資料管理系統管轄，還可維持一設計的全體資料的一致性。此外，各資料形式間的等效性，也可以較經濟的方法驗證。
- (五) 此系統所提供的各種輔助，必須能適合各種程度的設計人員一從初學者到專業化的系統設計人員。為達此一目標，在工具程式、資料及設計人員間的交互作用，必須經由一叫「執行者」的單一介面。此介面將監督各設計的進行，在任一設計階段提

- 供各種選擇，並協助設計文件的製作與修改。
- (六)此系統必須提供一系統設計語言，用以描述各設計階段的行為與結構。各新工具程式之資料格式，若能藉此語言的描述，並配合資料庫的應用而得統一，則未來工具程式的整合問題得以解決。
- (七)此系統必須具分散處理能力。隨著硬體成本的遽降，及區域網路技術之成熟，專用於積體電路設計的個人工作站及其區域網路系統漸被推出。這種工作站具有以往迷你型電腦的能力，配以中等以上的解像度的彩色顯示器，同時經適當的通訊網路與主計算機及其他工作站連接。因此未來的 VLSI 設計系統將是一個分散式計算機系統。這類系統能提供區域使用者有力、低成本的16或32數元微電腦計算能力、區域圖形處理及一些適合區域需要的週邊裝置。使用者介面將是友善的、支持的、一致的，且使用者直接可以使用。此類工作站配以區域網路之採用，對於使用者及計算負載的增加問題，可輕易解決。
- (八)採用專家系統技術及 CAE/DA 方法。由於目前專家系統之研究成果已達實用之步驟，而 CAE (Computer Aided Engineering) 及 DA (Design Automation) 之方法，也由於計算機硬體及軟體之快速進步而逐漸普及，將此類技術及方法用於各種 CAD 工具程式之設計中，以改善其效能及減輕使用者負擔，亦是 CAD 系統之設計所必須考慮的。

參考文獻

1. Daniel. M. E. and C. W. Gwyn. 1983. VLSI CAD systems. In *Hardware and Software Concepts in VLSI* (Edited by Guy Rabbat), Chapter 14, Van Nostrand Reinhold Company.
2. Tsai, L. L. and J. O. Achugbue. July/Aug. 1983. A hierarchical VLSI design system. *VLSI Design*, 21-26.
3. Payne, M. I. Jan./Feb. 1982. An integrated VLSI design system. *VLSI Design*, 46-50.
4. Dutton, R. W. July 1981. Stanford overview in VLSI research. *IEEE Trans. on Circuits and Systems*, CAS-28(7), 654-665.
5. Newton, A. R. et al. July 1981. Design aids for VLSI: The Berkeley perspective. *IEEE Trans. on Circuits and Systems*, CAS-28(7), 666-680.
6. Sat. K. et al. 1987. An integrated custom VLSI design system. *Proceeding of IEEE ICCC 82*, Sep. 28-Oct. 1, 516-519.

7. Kate, R. H. Dec. 1983. Managing the chip design database. *Computer*, 26-36.
8. Korenjak, A. J. and A. H. Teger. An integrated CAD database system. *Proceeding of 12th DA Conference*, 399-406.
9. Doncker, E.D. et al. Sep. 28-Oct. 1, 1982. Interactive database management for integrated circuit design in the UNIX operating system. *Proceeding of IEEE ICCC 82*, 520-523.
10. Ohno, Y. et al. 1982. Integrated design antomation system for custom and gate array VLSI design. *IEEE International Conference on Circuits and Systems (ICCC 82)*, Sept. 28-Oct. 1, 512-515.
11. Vlair, J. A. et al. 1981. A CHDL directed CAD system and its design data base. In *Computer Hardware Description Language and Their Applications* (edited by Breuer, M. and R. Hartenstein), North-Holland Publishing Company, IFIP.
12. Mead, C. and L. Conway. 1980. *Introduction to VLSI Systems*, Addison-Wesley, Mass.
13. Ousterhout, J. K. 1981. Caesar:An interactive editor for VLSI layout. *VLSI Design*, fourth quarter.
14. Suskind, J. M. et al. 1982. Generating custom high performance VLSI designs from Succient algorithmic descriptions. In *Proc. Conf. Advanced Research in VLSI*.
15. Baker, C. M. and C. Terman. 1980. Tools for verifying integrated circuit designs. *Lambda*, fourth quarter, 22-30.
16. Jouppi, N. P. 1983. TV: An nMOS timing analyzer. *Proc. Third Cal. Tech. Conf. VLSI*.
17. Ousterhout, J. K. 1983, Crystal:A timing analyzer for nMOS VLSI circuits. *Proc. Third Cal. Tech., Conf. VLSI*.
18. Eastman, C. Oct. 1981. Database facilities for engineering design. *Proc. IEEE*, 69(10).
19. Barbacci, M.R. et al. Mar. 1978. *The ISPS Computer Description Language*, Tech. Report, Carnegie-Mellon Univ.
20. Corey, W. E. et al. Mar. 1979. *An Introduction to DDL-P Language*,

- Tech. Report, No.163, CSL, Stanford Univ.
- 21. Bancelemput, E. M. Apr. 1977. *A Structural Design Language for Computer-Aided Design of Digital Systems* Tech., Report No.136, DSL, Stanford Univ.
 - 22. Trimberger, S. et al. July 1981. A structured, design methodology and associated software tools. *IEEE Trans. on Circuits and Systems*, CAS-28 (7), 618-633.
 - 23. Anderson, K. and R. Powell. 1984. *UTMC'S LSI CAD System—HIGH-LAND*, 21st DAC, 580-586.
 - 24. Foster, J.C. 1984. *A Unified CAD System for Electronic Design*, 21st DAC, 365-369.
 - 25. Karatsu, O. et al. 1985. An Integrated design automation system for VLSI circuits. *Design and Test of Computers*, 2(5), 17-26.

附錄七 知識基的 CAD 系統 (Knowledge-Based CAD System)

一、簡介

本報告是探查人工智慧技術在 VLSI/CAD 方面的應用，而其中主要是以知識基專家系統的工具及系統佔大部分。

二、背景

自有計算機以來，設計更新、更有力的計算機系統一直是人們所追求、努力的目標，但究竟能否完全自動化設計，仍是一項熱門的爭論話題，在目前，完全的自動化似乎仍不實際，然而隨著人工智慧的進步及專家系統的廣泛應用，智慧型的 VLSI/CAD 系統已逐漸吸引不少人的注意及興趣。

一個完整的 VLSI/CAD 系統，包括設計輸入 (Design Capture) 合成，驗證等功能，而設計的層次亦可分為：行為、功能、邏輯、電路及實體等，各個設計層次及功能均牽涉到大量的工程師的心智、勞力和經驗才能完成一個美好的 VLSI 元件，因此 VLSI/CAD 系統是人工智慧應用之最佳領域之一。

正如 [1] 所示，VLSI Tools 之研究，可分為三大類別，傳統的研究，只是提供設計者，設計輔助工具。近年來，設計自動化的研究則趨向更高智慧的工具，它包含了兩大派別，一為知識基 (Knowledge-Based) VLSI 設計專家系統，另一為 Silicon Compiler。後者強調通用性方法，在各種不同的 VLSI 設計手法及技術不斷改進的情形下，是不容易成功的（猶如要設計一個 Compiler，其 Source language 不定形且 Object Code format 也不固定）。但知識基專家系統，則具有更高的彈性，可適應於各種變化情形，在 [2] 中有二種方法的比較。

本報告即針對 VLSI CAD 的各個應用層次及工具程式探查有關的專家系統及研究。

三、相關研究

有關知識基專家系統的研究，近年來蓬勃發展 [5]。其中則 [6] 為一 Configure VAX 電腦系統的專家系統，AGE 是一個知識基程式 [7]，用來建造其他的知識基程式，這是做 Knowledge Engineering 的輔助工具。

史丹福大學在發展、邏輯設計及 VLSI 設計的專家系統方面一直有很積極的活動。Eurisko [18] 是一較通用化系統，經由 Heuristic rule 的控制，搜尋路徑，能自動合成設計三維的微電子線路。Palladio [4] 則是較專用化，提供實驗性的積體電路設計環境，專家系統協助將抽象的設計轉換成較具體的規格。

在自動邏輯電路合成方面，其他尚有許多研究報導，如 Carnegie-Mellon 大學的 MICON 系統[14]用來設計單板微算機，及 DAA 系統[27]用來協助高階邏輯合成。南加大的專家合成系統 [15]，用來合成 VLSI 電路。Rutgers 大學的 REDESIGN 系統 [16]，用來更改數位系統的設計。日本 Fujitsu 公司的交談式邏輯合成系統 [17, 35]，能將 DDL 的電路描述換成邏輯結構，NTT 的設計專家 (DE) 系統亦使用 DDL 作為描述語言，可從事電路合成和驗證。Case Western Reserve 大學發展了一套協助數位系統控制和資料路徑設計之專家系統 [24]。GE 公司的 SOCRATES [30] 為邏輯電路的最佳系統，所用的規則考慮了一般時序及面積等因素。AT&T 公司則發展一套以 Prolog 為語言的邏輯電路功能驗證系統 [23]。

HAL (Heuristically Augmented Layout) 為 Honeywell 公司所發展的電路圖產生專家系統 [20]。該系統以 OPS5 較好看且易瞭解之電路圖，所用的專家知識，包括元件放置規則及繞線規則。

在佈局 (layout) 方面的專家系統很多，Talib [13] 是 Carnegie-Mellon 大學所發展的佈局專家系統，該系統亦以 OPS 5 發展，其輸入為電路圖，而輸出則為 CIF，適用於 Single metal, Single Polysilicon 的 NMOS 製程。其發展目標有二：(1)使知識的增加容易，(2)使產生較好佈局的搜尋工作，減為最少。CLASS [34] 亦為 Carnegie-Mellon 大學所發展的 Floor Planning 工具，期標是協助系統設計人員，快速地得知將他們的設計以 I.C. 實現的可行性，該系統強調在與使用者的交談，俾協助使用者改善其設計之 Floor Plan，而非完全自動設計，WEAVER [22] 亦為 Carnegie-Mellon 大學所發展出，為一 VLSI 細步繞線的專家系統亦強調使用者的交談的應用。NEC 公司亦有一套交談式繞線專家系統 [26]，該系統除了知識庫及設計資料庫外，包括 rule interpreter 及 design executer 二部分。知識以 Predicate logic 表達及貯藏，根據知識推理的結果，產生 Procedure Sequence 則由 Design Executer 執行，Silicon Converter [19] 則為 Bell Lab 的一套 Prolog-based 佈局合成專家系統。

在 Testing 方面的專家系統，則有 Cirrus 公司的自動測試產生系統，Hitest [12] 及 USC 的可測試設計專家系統，TDES (Testable Design Expert System) [29]。

在電路設計方面，則有俄勒岡大學的電路設計專家系統 [33] 及 Vermont 大學的類比 I.C. 設計專家系統[32]。

至於專家系統在全套 VLSI/CAD 系統方面之應用研究亦有一此報導如[21.31.25]等。

四、結論

綜合上面所探查的各種研究及系統，目前 VLSI/CAD 系統的設計和驗證工具已經有很好的成果，但在某些方面這是遠不如專家工程師，今後的研究主題即是應用人工智慧技術，在現在的成就上，把各種工具延伸，發展成為更高層次的 VLSI 設計系統。

參考文獻

1. Gajshi, D. D. and R. H. Kuhn. Dec. 1983. New VLSI tools. *IEEE Computer*, 14-16.
2. Thomas, D. E. Dec. 1983. Automatic data path synthesis. *IEEE Computer*, 59-70.
3. Parker, A. C. Nov. 1984. Automated synthesis of digital systems. *IEEE D&T*, 75-81.
4. Brown, Harold. Dec. 1983. Palladio:An exploratory environment for circuit design. *IEEE Computer*, 41-56.
5. Nau, D. S. Feb. 1983. Expert computer systems. *IEEE Computer*, 63-85.
6. McDermott, John. 1982. R1: A rule-based configurer of computer systems. *Artificial Intelligence*, 19, 39-88.
7. Nii, H. P. AGE: A knowledge-based program for building knowledge-based programs. *IJCAI*, 645-655.
8. Steinberg, L. I. Feb. 1985. The redesign system: A knowledge-based approach to VLSI CAD *IEEE. D&T*, 45-54.
9. Crawford, John D. Feb. 1985. EDIF: A mechanism for the exchange of design information. *IEEE D&T*, 63-69.
10. *IEEE D&T*, Nov. 1984. 95-96.
11. Hayes-Roth. *Building Expert System*.
12. Bending, Michael J. May 1984. Hitest—A knowledge-based test generation system. *IEEE Design & Test of Computers*, 1(2), 83-92.
13. Kim, Jim H. et al. Aug. 1984. Exploiting domain knowledge in IC cell

- layout. *IEEE Design & Test of Computers*, 1(3), 52-64.
- 14. Birmingham, William P. and Daniel P. Siewiorek. MICON:A knowledge based single board computer designer. *Proc. 21th DAC*, 565-571.
 - 15. Knapp, David et al. An expect synthesis system. *Digest of Paper ICCAD-83*, 164-165.
 - 16. Steinberg, Louis I. and Tom M. Michell. A knowledge based approach to VLSI CAD: The redesign system. *Proc. 21th DAC*, 412-418.
 - 17. Kawato, Nobuaki et al. An interactive logic synthesis system based upon AI-techniques. *Proc. 19th DAC*, 858-864.
 - 18. Stefik, M. J. and J. Kleer. Apr. 21, 1983. Prospects for expert systems in CAD. *Computer Design*, 65-76.
 - 19. Hill, D. D. 1984. The silicon converter: A case study in uses for PROLOG. *Proc. of ICCD'84*, 430-404.
 - 20. Ahlstrom, M. L. et al. 1984. An expert system for the generation of schematics. *Proc. of ICCD'84*, 720-725.
 - 21. Hu, Y. H. and D. Y. Y. Yun. 1984. Applications of artificial intelligence to VLSI CAD systems. *Proc. of ICCD'84*, 737-741.
 - 22. Joobbani, R. et al. 1985. Applications of knowledge-based expert systems to detailed routing of VLSI chips. *Proc. of ICCD'85*, 189-202.
 - 23. Woo, N. S. 1985. A Prolog-based verifier for the functional correctness of logic circuits. *Proc. of DAC'85*, 203-207.
 - 24. Drongowski, P. J. 1985. A graphical, rule-based assistant for control graph-datapath design. *Proc. of ICCD'85*, 208-211.
 - 25. Chen, S. 1983. On intelligent CAD systems for VLSI design. *Proc. of ICCD'83*, 405-408.
 - 26. Fujita, T. and S. Goto. 1983. A rule-based routing system. *Proc. of ICCD'83*, 451-454.
 - 27. Kowalski, T. J. and D. E. Thomas. The VLSI design automation assistant: What's in a knowledge base. *Proc. of 22nd DAC*, 252-258.
 - 28. Takagi, S. 1984. Rulebased synthesis, verification and compensation of data paths. *Proc. of ICCD-84*, 133-138.
 - 29. Abadir, M. S. and M. A. Breuer. August 1985. A knowledge-based system

- for designing testable VLSI chips. *IEEE Design and Test of Computers*, 56-68.
- 30. DeGeus, A. J. and W. Cohen. Aug. 1985. A rule-based system for optimizing combinational logic. *IEEE Design and Test of Computers*, 22-32.
 - 31. Clark, G. C. and R. E. Zippel. 1985. Schema—An architecture for knowledge based CAD. *Proc. of ICCAD'85*, 50-52.
 - 32. Bowman, R. J. and D. J. Lane. 1985. A knowledge-based system for analog circuit design. *Proc. of ICCAD'85*, 210-212.
 - 33. Simondis, E. and S. Ficks. 1985. The application of knowledge-based design techniques to circuit design. *Proc. of ICCAD'85*, 213-215.
 - 34. Birmingham, W.P. et al. 1985. CLASS:A chip layout assistant. *Proc. of ICCAD'85*, 216-218.
 - 35. Uehara, T. Oct. 1985. A knowledge-based logic design system. *IEEE Design & Test of Computers*, 2(5), 27-34.

附錄八、VLSI/CAD 工作站

一、VLSI 設計工作及使用工具

VLSI 設計工作可分成 Conceptual Design 及 Physical Design 兩部分，前者是把 VLSI 的功能規格變成電路圖。當電路圖的內容被確定為正確後，才進入 Physical Design 部分，即依據 VLSI 的製造程序，把電路圖變成光罩圖（Photomask）。以上兩部分又可細分成不同的步驟，而以不同的 CAD 工具來協助設計者快速地證明設計內容並產生正確的資料。表一所示為目前最常用的設計方式及其相對的 CAD 工具。

表一 VLSI 設計及其 CAD 工具

| 設計階段 | 設計工作 | 設計工具 |
|-------------------|-----------------|---|
| Conceptual Design | Function Design | Function Simulator Hardware Description Languages |
| | Logic Design | Schematic Capture Logic Simulator Timing Verifier |
| | Circuit Design | Circuit Simulator Switch Level Simulator |
| Physical Design | Cell Layout | Symbolic Layout Parameter & Connection Extractor Graphic Editor Design Rule Check (DRC) |
| | Block Design | Graphic Editor ROM & PLA Generator |
| | Chip Design | Autoplacement & Routing Program Graphic Editor Netlist Extractor & Comparator Design Rule Check (DRC) Electric Rule Check (ERC) |

以往上述的 VLSI 設計工作中，Conceptual Design 部分都在集中式的大型電腦上作業。而 Physical Design 的大部分工作則以迷你電腦為主機的專用 CAD 電腦上作業，且採集中式由專人操作的方式。由於工程師們要共用相同的電腦設備，使用上受

到很大的限制，甚至有的人寧願捨棄電腦而用人工作業來解決問題。工程師的工作效率就無法提高。這種狀況已無法符合 VLSI 發展所需求。因此才有所謂的 CAD/CAE 工作站（Work Station）的出現。理想的工作站就是把以上所述的各種 CAD 工具整合在一部個人使用的電腦系統上。使用者可以完全支配自己的工具；且不必為各 CAD 工具之間的資料轉換工作而花費心思。如此當可大大地提高設計工程師的工作效率。

二、CAD／DAE 工作站的發展

CAD/CAE 工作站的目的是要改進 VLSI 的設計效率，然而 CAD/CAE 工作站的出現則是拜 VLSI 技術進步的恩賜。這兩種技術的進步可以說是「相輔相成」或「相得益彰」。由於高速的 16/32 位元微處理機，高密度半導體記憶器，電腦繪圖技術的應用以及電腦系統價格的下降，使得個人擁有的 CAD/CAE 工作站得以大量推廣。

CAD/CAE 工作站發展初期，是以解決設計工作中的 Conceptual Design 為主，即所謂的 Front-end Design。它們包括了 Architecture, Logic 及 Circuit Design。當 Concept 被確定無誤後，再把設計資料傳給以迷你電腦為主機的 Physical Layout CAD 系統，做 Mask Design。這種把工作分成兩個系統的原因是，初期的微電腦工作站處理大量圖形資料的能力，仍然有不勝負荷的限制。然而這種情況將隨著 VLSI 技術的再進步而獲得改善。因此未來工程師在同一工作站上完成所有設計工作將不再是夢想了。

三、CAD／CAE 工作站近況

就使用者的觀點看，完整的 CAD/CAE 工作站必須是硬體及軟體齊全，而且是以軟體為主的整合性系統。然而，同時能把硬體及軟體都發展得很好的公司，目前並不普遍，甚至說不存在。因此在這個行業，硬體及軟體的供應商大部分是分開的。

1. CAD/CAE 工作站基本系統

工作站的基本系統，乃是應用軟體以外的部分；它們包括硬體及系統軟體。硬體包括有 32 位元的微處理器、 1024×1024 高解像度彩色繪圖終端機、1-4 Mega Byte 的主記憶器、1 Mega Byte 以上的軟性磁碟機、60 Mega Byte 以上是硬式磁碟機及具有區域網路的能力等。在系統軟體方面則是操作系統（OS）、公用程式、語言處理器及資料庫處理系統。

雖然，市面上有許多 32 位元的工作站基本系統，目前的發展趨勢則逐漸以 Apollo 的 Domain 系統、Sun Microsystem 的 SUN Computer 及 DEC 的 Micro VAX-II 為標準機型。作業系統則以 UNIX 或類似的系統為主，程式語言方面則是 C Language

爲主。根據預測，上述系統的價格1983年時約爲美金50,000~150,000元，到1990年則可減至美金14,000~26,000元。

除了上述基本系統外，另外一些周邊設備也是 CAD/CAE 工作站所不可或缺的。它們有繪圖機（Plotter）、印表機、影印機等等。這些周邊設備並不接於工作站本身，它們仍配置於區域網路上，而由數個工作站共用，以節省費用。

2.CAD/CAE 應用軟體

如前所述，CAD/CAE 工作站的主體當以軟體爲主。本產品的發展初期偏重於 Front-end Design，也就是 Conceptual Design 部分。最開始是 Schematic Entry，然後逐漸發展至 Logic Simulation，Circuit Simulation 及 Timing Verification 等。後來由於電腦運算能力的提高。半導體記憶 IC 及硬式磁碟機容量的增加，使工作站亦有能力處理大量資料。因此逐漸進入 Physical Design 領域而成爲整合性的設計系統。

由於設計方法的不同，Physical Layout 的軟體亦有不同。目前最普遍被採用的設計方法爲閘排列（Gate Array）及電路元（Cell-Based）設計法。這兩種方法都需要有自動排列與連線程式（Automatic Placement and Routing Program）及交談式改圖（Interactive Graphic Editing）能力。而電路元設計法，更需要有 Symbolic Layout，PLA 及 ROM Generator 等功能的配合，才能快速地建立設計資料庫。另外如 DRC，ERC 及各種 Extractor and Compactor 等查證用的程式亦是 Physical Layout 不能少的工具。

3. 專用加速運算硬體

爲了增加工作的效率，逐漸有些專用於提高運算速度的硬體被發展並應用在 CAD/CAE 工作站上。它們有 Logic Simulation Engine，Graphic Engine，Autoplacement and Routing Engine，DRC Engine，Spice Engine 等。有了這些各式各樣的 Engine（或稱 Accelerator），可以使原來用軟體運算的功能，由硬體所代替了，使運算速度高幾十倍乃至數百倍不等。

4.CAD/CAE 工作站供應廠商

雖然在電子設計方面工作站的供應廠商爲數不少，在市場上的佔有率大的則僅僅幾家而已，它們是 Mentor，Daisy，Valid Logic 及 Silvarlisco 等。這幾家也是目前具有各項完整功能的廠家。其中 Daisy System 所用的電腦系統是自行發展的，因此其售價較低。然而長期看，要兼顧基本系統及應用軟體的發展，並不容易。該公司最近已趨向於採取 DEC 公司的 MICRO VAX-II 為主機。表二所示爲各主要工作站供應商的系統功能。表中的 Applicon 及 Calma 兩公司乃 VLSI Layout Tool 的最早且最

表二 工作站主要廠商及其主要功能

| Vendor | System Overview | | Design Tools |
|--------------------------|---|---|---|
| | Product Host (OS) | Communications | |
| Applicon/Schlumberger | ARIA Proprietary VAX/VMS-based BRAVO VLSI VAX(VMS) | DECnet (Ethernet) | Schematic Entry Functional, Logical, Behavioral and Fault Simulator |
| Calma Co. | TEGAStation Apollo (Aegis) | Domain. TNET | Schematic Entry, Circuit Simulator, Switch-level & Logic Simulator, Behavioral Simulator in TEXSIM/B. Fault Simulator Timing Verifier |
| Daisy Systems Corp. | LOGICIAN Mega LOGICIAN GATE-MASTER MegaGATE-MASTER CHIPMASTER Personal LOGICIAN Personal LOGICIAN AT | Ethernet | Schematic Entry Circuit Simulator Switch-level & Logic Simulator Behavioral Simulator Fault Simulator Timing Verifier |
| Mentor Graphics Corp. | IDEA Series Apollo (AEGIS, UNIX) Capture Station Design Station Idea Station MSPICE Station GTate Station Cell Station Chip Station Test Station Doc Station | Domain, Ethernet, TCP/IP, HASP, 3270, X25 | Schematic Entry Circuit Simulator Switch-level, Logic and Behavioral Simulator Behavioral & Fault Simulator Timing Verifier |
| Silvar-Lisco | Schematic Design System MicroVAX(VMS) Starline Apollo (AEGIS) | DECnet, Domain, Ethernet | Schematic Entry Circuit Simulator Mixed Switch-level/Logic Simulator, Switched-capacitor filter Simulator, Behavioral Simulator, Logic Simulator, Timing Verifier |
| Valid Logic Systems Inc. | SCALDsystem SCALDstar 68010-based (UNIX) | Ethernet, TCP/IP | Schematic Entry, Circuit Simulator, Switch-level, Logic, and Behavioral Simulator Logic and Fault Simulator Timing Verifier |

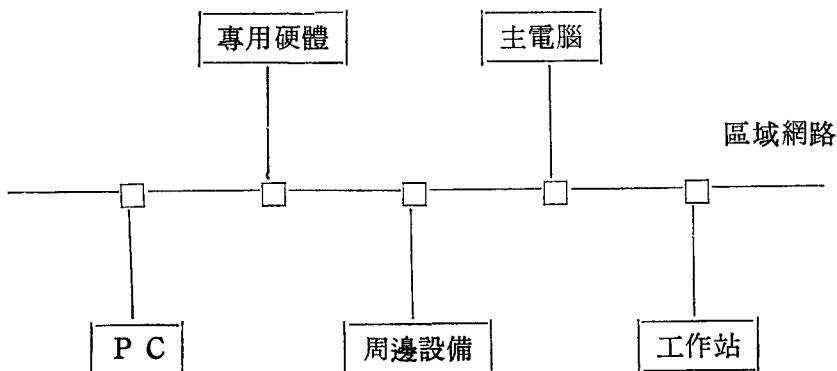
大的供應者，目前他們亦往工作站發展。

5. 個人電腦型工作站

由於 IBM 個人電腦的出現，亦有許多人以它為主機（如 IBM PC XT, AT）發展應用軟體。然而，因為個人電腦的能力有限，大都數僅用在 Schematic Entry 而已。在整個設計過程，最原始的資料乃是 Schematic。而這部分的輸入絕大多數是人工作業，所費時間多，所以佔用設備的時間亦多。需要有低價的工具，才能普遍化地提用。個人電腦系統，正可以符合需求。因此，前述各 CAD/CAE 工作站供應廠商均有 PC 級的 Schematic Entry。由一部工作站配備數部 PC 級 Schematic Entry，正好可以發揮系統的使用率。

四、CAD/CAE 工作站展望與挑戰

工作站的應用是提高設計人員生產力的必要工具。由於 VLSI 的複雜度的增加，以團隊的分工來完成設計是不可免的。為了使不同的人能處理共同的資料，CAD/CAE 工作站的連線網路是不可少的。圖一所示為 VLSI 設計環境所需設備。PC 用來做 Schematic Entry 及各種文件處理，工作站則做各種 Simulation 及 Layout 設計，專用硬體用以提高運算速度，主電腦則用在檔案管理及執行工作站無法執行的工作。



圖一 VLSI 設計 CAD/CAE 系統

雖然前述的 CAD/CAE 工作站的軟體已相當完整，主要工作大部分還是要由人設計後，才用程式驗證，這種工作對一般人還是太複雜，而且影響設計速度。逐漸地，設計者希望電腦能代為做一些設計工作，因此有逐漸由分析走向合成（Synthesis），如 Logic Synthesizer, Structural Design 等。為了追求更高的設計效率與品質，VLSI 設計技術將轉向 Silicon Compiler 及人工智慧的專家系統。

Silicon Compiler 乃是能把用高階語言描述的系統行為 (System Behavior) 直接轉換成光罩圖。這方面的研究，在美國的大學有 University of Illinois, MIT, Yale University 等。大型公司方面則有 IBM, AT&T, GTE 及 Xerox 等，日本則有 NTT。目前已有系統推出市場的公司則有 Silicon Compilers (SCI), Metalogic, VLSI Technology (VIT), Seattle Silicon Technology (SST) 及 Silicon Design Labs 等公司。其中 SCI 與 Daisy, SST 與 Valid Logic 分別合作把 Silicon Compiler 軟體置於 CAD/CAE 工作站上。使得工作站的功能由傳統的設計能力進步到 Silicon Compilation。根據 Electronic Trend Publications 推測，到 1989 年 Silicon Compiler 的市場佔有率將超過電路元設計法的市場佔有率。

當 VLSI 很快地被設計後，工程師將面臨另一個問題，那就是要如何很快測試該 IC，以便證明設計的正確性。一般的做法是，由測試工程師在不同的測試設備上發展測試程式，再來做測試工作。這種方法的缺點有設計人員及測試人員的溝通問題及程式發展太慢。因此，已有人在 CAD/CAE 工作站發展出測試技術，當 VLSI 製造完成後，由設計人員在同一個工作站偵錯，直到證明設計無誤後才交給測試部門做量產用。

五、結論與建議

利用 CAD/CAE 工作站提高設計人員的工作效率與品質乃是必然的趨勢。由前述我們可綜合它的發展趨勢為：

(一) VLSI 的設計環境是由不同的電腦系統構成，這些系統由區域網路連成一體，不同層次的電腦將擔負不同的工作任務。

(二) 利用專用型特殊硬體提高工作效率。

(三) 設計能力將從 Analysis 轉成 Synthesis。未來將是 Structured Design, Silicon Compiler 及 AI Expert System。

(四) 測試能力將會加到工作站上。

VLSI 技術將成為提高工業科技水準不可少的技術。我國政府亦極力推動中，在製造技術方面，有工業技術研究院電子工業研究所的 VLSI 五年計畫及最近提出的 VLSI 百億元投資計畫。然而，VLSI 產品的附加價值則在於產品的創新，因此大力發展設計技術才是我們最重要的事。

為了提高設計能力，則 CAD/CAE 技術是不能缺少的。長期觀點而言，我們應該發展這方面的技術，才能掌握 VLSI 設計的根本。在傳統的 CAD 技術上，國內在國科會幾年來推動的 MPC (Multi-Project Chip) 計畫下已有基礎。然而若想趕上美日先進國家，則有緩不濟急的情形。在各大學研究所已具有基本工具的情況下，應該做重點

性的突破，而不必再做全面性的發展。個人以為我們應規劃較前瞻性的題目，如配合國科會推動中「智慧型工作站」計畫，成立大型專案計畫，發展 Silicon Compiler 及 Expert System VLSI 設計軟體。預期五年後有國人自己的 VLSI 設計工具，則長期上才能使 VLSI 的設計能力在國內生根。

參考文獻

1. Silicon Compiler. Sept. 1984. *VLSI Design*, 54-58.
2. *The Impact of CAD/CAE on IC Design*, 1984. Electronics Trend Publications.
3. A perspective on CAE workstations. April 1985. *VLSI Design*, 52-74.

貳、矽材超大型積體電路及元件技術

一、國內近五年來之研究概況及工業發展狀況

(一) 研究概況

近五年來，我國在國科會的推動下，已有矽 VLSI 的計畫在進行，對重要關鍵技術等的建立、人才的培育已有良好的基礎。工研院電子所已發展完成2.0微米的 CMOS 及 NMOS LSI。目前電子所正在開發 1.25 微米的 CMOS 技術。

1. 學 校：

國內各大學之研究主要集中於交大、成大、清大及臺大，五年來國科會輔助在矽材超大型體電路及元件之研討計畫如表一（詳細之計畫名稱如附錄一），總計四十個計畫，經費約壹千柒百萬元，參與研究人員數計六十八人次。另外學校有部分研究計畫由中山科學院及工研院電子所支助。交大於七十三年成立電子與資訊研究中心，與工研院電子所合作研究，每年經費約柒百萬元，詳如附錄二。

國內各大學參與矽材超大型積體電路及元件相關之研究人員，依統計共有四十二位，其中交大十三位、成大十位、清大九位、臺大四位、技術學院二位、大同工學院、中正理工學院、中原大學及中央大學各一位，其詳細姓名及研究範圍如表二，其中在研究範圍有括弧者，表示目前其主要的研究領域在其他方面如 CAD、III-V 族、Sensor、材料等。

表一 五年來國科會輔助在矽材超大型積體電路及元件之研究計畫統計表

| 年 度 | 計畫數 | 經 費 總 數 | 參與研究人員數 |
|---------------|-----|---------------|---------|
| 70(69.8—70.7) | 5 | 1,898,200.00 | 8 |
| 71(70.8—71.7) | 6 | 3,698,232.00 | 10 |
| 72(71.8—72.7) | 16 | 6,256,940.00 | 32 |
| 73(72.8—73.7) | 3 | 1,411,000.00 | 5 |
| 74(73.8—74.7) | 11 | 4,540,000.00 | 13 |
| | 41 | 17,804,372.00 | 68 |

註：參與研究人員數以講師以上研究人員計算。

本表不包括各學校研究人員自行研究部分。

本研究經費不包含主要儀器設備費用。

表二 國內各大學參與矽材超大型積體電路及元件之研究人員統計表

| 學 校 | 姓 名 | 主 要 研 究 範 圍 |
|------------------|-----|--|
| 交 通 大 學 | 吳慶源 | 隔離技術、閘絕緣體技術、金屬矽化物技術、次微米LDD、MOS/CMOS元件、VLSI、元件及製程模擬、氮化二氧化矽、E ² PROM 之可靠性研究 |
| | 陳茂傑 | 金屬矽化物技術、矽磊晶膜之品質改進、矽光二極、複晶矽特性 |
| | 李崇仁 | 薄氧化層技術 MIS 元件、隔離技術、磊晶成長 (CAD) |
| | 郭雙發 | 磷硼之擴散、元件之數值模擬 |
| | 吳重雨 | 記憶器之研製、CMOS latch-up、金屬矽化物技術 |
| | 雷添福 | 金屬矽化物技術、磊晶成長、MIS、PIN、二極體 |
| | 任建歲 | 薄氧化層技術、MIS、(CAD) |
| | 郭美雄 | 複晶矽膜之再結晶 |
| | 鄭晃忠 | 金屬矽化物之成長 |
| | 龍文安 | 光阻製程之研製 |
| 成 功 大 學 | 吳建興 | 低壓氣相沈積技術 |
| | 桂正楣 | 矽中產生電子——電洞偶之平均耗能 |
| | 蘇 翔 | CCD、元件特性測試 |
| | 張俊彥 | VLSI 元件絕緣技術、熱電子效應、次微米可靠性、隔離技術、功率元件、鎢矽化物 (III-V 族) |
| | 李中夏 | 矽磊晶、離子佈植 (III-V 族) |
| | 方炎坤 | 鎢矽化物、Photo-CVD、VMOS Power |
| | 蘇炎坤 | 矽光檢測元件、ISFET、Si、MBE (III-V 族) |

| | | |
|------------------|-----|--|
| 成 功 大 學 | 曾繼紹 | 高壓半導體元件、ISFET |
| | 劉濱達 | 功率電晶體(CAD) |
| | 劉文超 | VMOS、Bipolar 功率電晶體 |
| | 王永和 | RAPD 破壘測器 |
| | 王水進 | 矽高增益電晶體 |
| | 方寶樹 | 矽元件之模擬 |
| 清 華 大 學 | 黃瑞星 | 金屬閘短通道金氧半場效電晶體(感測) |
| | 黃惠良 | VLSI—鳥嘴問題、快速熱回火(材料) |
| | 林敏雄 | 矽磊晶、IC 製程之缺陷、離子佈植(III-V族) |
| | 陳力俊 | 金屬矽化物之成長、接觸技術 |
| | 陳建瑞 | 金屬矽化物氧化之放射性矽追蹤 |
| | 呂助增 | Ion-Beam 成長複晶矽及非晶矽、脈衝電子束、Annealing、直流電子束離子束源製作 |
| | 葉鳳生 | 非晶矽之成長 |
| | 楊銀圳 | 離子佈植機及其應用 |
| | 龔 正 | 元件雜訊之測試 |
| 臺 灣 大 學 | 王維新 | 熱電子效應之模擬、氧化過程雜質擴散模式 |
| | 李嗣涔 | 熱電子效應之模擬(III-V族) |
| | 胡振國 | 薄氧化層之成長及特性 |
| | 邱雲磊 | 功率二極體 |
| 技術學院 | 陳鳳美 | 半導體少數載子之測試 |

| | | |
|------------|-----|---------------------------------------|
| | 黃鶯聲 | 半導體少數載子之測試 |
| 大同工 學 院 | 唐遠生 | CMOS passivation process、微影技術包裝及可靠性測試 |
| 中正理 工學院 | 薛乾昌 | CMOS radiation hardening |
| 中原大學 | 熊慎幹 | 矽磊晶 |
| 中央大學 | 伊 林 | Magnetron Sputter System and Etching |

註：括弧內表示目前主要研究領域。

目前國內各大學的技術狀況如下：

(1)微影技術：

目前交大可製作面罩以 $5\mu\text{m}$ resolution 為限，是利用刻紅膠片縮小，最大倍數可縮 800 倍。成大有20倍的縮小照像機。

對準曝光設備目前仍以接觸式之對準機 $3.5\mu\text{m}$ 的線條可完成。

(2)閘絕緣體技術 ($100\text{\AA} \sim 300\text{\AA}$)：

二氧化矽——交大、臺大、成大在 trapping mechanism、growth、Kinetics、hot electron effects 有廣泛的研究。

氮化二氧化矽 (Nitridized silicon dioxide) — preparation technology and evaluations，交大有廣泛的研究。

(3)金屬矽化物技術：

矽化物結晶技術——清大陳力俊教授在矽化物的結晶成長有相當的成就，發現了許多種矽化物結晶結構。

矽化物接觸及擴散障層金屬技術——交大、成大均有廣泛的研究 (Ti, W、Mo 等金屬)。

成大使用 PECVD 及 LPCVD 成長及 W 及 WSi_2 。

(4)保護技術：

成大對保護材料如 SiC、oxynitride 有廣泛的研究。

(5)化學氣相沈積：

交大、成大、清大均有研究，有 APCVD、LPCVD、PECVD，可長 SiO_2 、Poly

Si 、 Si_3N_4 。

(6) 隔離技術：

交大使用氮化二氧化矽當 pad oxide，可使鳥嘴長度僅 $0.1\mu\text{m}$ 而沒有缺陷產生。成大對鳥嘴的減少亦有重要的技術。

Fully-Recessed-Oxidation (FUROX) 隔離技術在交大已開發成功，可用於次微米 VLSI/MOS。

(7) 元件一次微米 LDD (Lightly-Doped-Drain) MOS/CMOS:

交大利用工研院電子所的生產線，使用 FUROX 技術已成功的製造完成。

(8) 製程及元件模擬：

- ① CMOS Latch-up 的模式在交大已廣泛研究。
- ② 次微米 MOSFET 的元件模式在交大已廣泛研究。
- ③ 製程的模擬包括氧化、擴散在臺大、交大已廣泛研究。
- ④ 元件數值分析在成大、交大均有廣泛的研究。
- ⑤ 高壓元件（包括 HVIC）成大有相當的研究。
- ⑥ V-MOS 元件模擬成大有相當的基礎。

2. 工研院電子研究所：

電子研究所接受經濟部委託，執行積體電路發展計畫第一、二期及 VLSI 計畫。在積體電路發展計畫第二期結束時（民國72年6月）電子所已發展完成 3.5 微米的 CMOS 及 NMOS LSI。接着立即進行 VLSI 計畫，二年來已投入120人年，在技術開發方面，現已完成 $2\mu\text{m}$ N-well 雙層金屬 CMOS VLSI 整合技術，並將之應用在 gate array 及 standard cell 等產品上。五年來 Metal Gate CMOS 由 $6\mu\text{m}$ 進展到 $4\mu\text{m}$ ，Si Gate CMOS 由 $5\mu\text{m}$ 進展到 $2\mu\text{m}$ 。目前電子所正在發展 $1.25\mu\text{m}$ 雙層金屬的 CMOS IC 技術，預計在1987年底完成，另外電子所具有標準 Bipolar 製程，以及 LSTTL 製程。

3. 國科會：

國科會除了擬定 VLSI 技術重點研究，積極推動外，於民國70年利用交大半導體研究中心的設備及清大的離子佈植機，再由國科會添購部份儀器，成立半導體貴重儀器使用中心，提供對外服務，以推動積體電路技術及元件製程之研究。藉着各儀器的集中使用及妥善維護、保養，以發揮儀器的最大使用價值與效率，並免於儀器的重覆浪費、節省經費。五年來半導體貴重儀器使用中心之經費約九千萬元，目前中心開放服務共有十三項儀器系統：

- (1) 畦子佈植系統 (Ion Implantation System)
- (2) 罩幕製作系統 (Mask Making System)

- (3) 氧化／擴散系統 (Oxidation and Diffusion System)
- (4) 光阻製程及罩幕對準系統 (Photoresist Processing and Mask Aligner System)
- (5) 常壓化學氣相堆積系統 (APCVD)
- (6) 低壓化學氣相堆積系統 (LPCVD)
- (7) 热阻絲蒸鍍系統 (Resistance Heating Evaporator)
- (8) 雙電子鎗蒸鍍系統 (Dual E-Gun Evaporator)
- (9) 接線及包裝系統 (Bonding and Package System)
- (10) 楕圓測試儀 (Ellipsometer)
- (11) 展阻測量系統 (Spreading Resistance Probe System)
- (12) 掃描式電子顯微鏡 (Scanning Electron Microscope)
- (13) 元件特性自動測試系統 (TECAP System)

五年來，由服務的業績可看出半導體貴重儀器中心確實發揮其效用。

(二) 工業發展狀況

我國半導體工業之現況，最近由工研院電子所主編的「電子發展月刊」登出，國內矽材半導體工業主要可區分為二極體、電晶體、積體電路及晶圓原料。個別半導體產品，生產以來價格直線下降，達成本邊緣，加上積體電路技術日益提昇，使得世界各國朝向半導體 IC 高附加價值的產品發展，逐漸放棄二極體、電晶體等低價位產品，因此使得國內二極體工業蓬勃發展，小訊號電晶體亦逐漸由國內取代。積體電路仍以外商的裝配產銷為主，國產積體電路的產銷值亦大幅提高，估計約佔10%。由於製造技術的進步，以及產品線的增加，不僅以創新的消費性積體電路協助提高終端產品的附加價值，可供資訊電子產品使用之尖端積體電路如記憶器、單晶片微電腦、各種週邊控制器，以及半客戶特殊專用積體電路亦有所成就。

1. 二極體工業：

二極體在國內發展已十多年了，最早由臺灣通用公司引進二極體製造技術，大量製造整流二極體。它培養了不少二極體製造技術人員，造就了臺灣二極體工業今日的規模。目前臺灣在小電流 (1A~3A) 矽膠被覆等級的二極體為世界最大供應國。

國內二極體的主要生產廠商，以臺灣美商通用公司居首位，月產能在 150KK 以上 (1KK = 一百萬個)，其次是國人投資的麗正電子 120KK、光達 50KK、日商洲際 35KK、臺灣半導體、鼎祥 30KK、新玻 25KK、強頓 20KK。國內總共月產能 500KK 以上，唯今年電子產品不景氣，國內產能已供過於求。

國內二極體皆專注於較低層次用的矽膠被覆二極體，目前產品的開發已朝向高信賴度的玻璃被覆整流二極體、高速整流二極體及蕭基二極體。

2. 電晶體工業：

國內電晶體工業始於1966年，高雄電子公司開始裝配電晶體，接着許多廠家進入從事電晶體裝配，國人的萬邦首先設立電晶體晶圓製造，以一貫作業生產小訊號電晶體。目前電晶體的主要廠家及其他產能大致是：日商東京晶體公司約 25KK 、萬邦公司 15KK 、美商捷康公司 8KK 、菱生公司 8KK 、臺灣通信 7KK ，其餘尚有高雄日立電子公司、益興公司等，月產能約 80KK 。

在功率電晶體方面，先後有統一、大王設立晶圓製造，因技術與市場之關係，大王電子目前已停工，統一電子也陷入困境，目前正在努力脫困中。最近有國外學人準備回國投資製造 MOS 功率電晶體，以提昇國內在功率電晶體之製造能力。

3. 積體電路：

我國積體電路工業主要可分成二大部分：一為矽晶圓經過製造處理成為 IC 晶片，另一為 IC 晶片經過封裝成為成品，外商積體電路裝配業目前仍是我國積體電路工業產銷的主流。國人的積體電路製造，目前有電子所和聯華電子兩家，另有三家正積極進行研究開發，以從事 VLSI 生產。五年來在製造技術之發展狀況如下：

(1)微影技術：

近五年來從 5 微米線寬改進為 2 微米之目前狀況，光阻材料由負光阻更改為正光阻及相對的顯影液，在曝光設備已由接觸式之對準機演進為非接觸式之 Proximity 及 Projection 對準機，使圖型線寬及圖案品質達到 3 微米之生產需求。過去一年內聯華電子及電子所均添置 1:1 成像 Stepper 成像進行微影曝光，已成功地建立了 2 微米微影成像技術。

(2)蝕刻技術：

蝕刻技術為圖案成形 (Pattern Transfer) 之步驟。以化學蝕刻液配合負光阻之蝕刻只達 5 微米之線寬成形需求，聯華電子公司及電子所均已添購適當之乾蝕刻機，例如：Tegal 701, AMS 8110, AMS 8130 等使複晶矽、氧化矽、氮化矽 CVD 、氧化矽及金屬聯線等薄膜，從 5 微米改進為 2 微米之線寬，而接觸窗已改善至 1.5×1.5 平方微米的能力。

(3)氧化矽成長技術：

工業界均以熱能水氣 + 氯化氫氣之混合氣體氧化，乾氧氣體氧化使氧化矽熱成長厚度從 10,000 埃至 200 埃，應用於 MOS 閘絕緣、場絕緣以及電容介質等。

(4)金屬聯線技術：

工業界主要以鋁（含1~2%之矽）為主，目前進展至雙層聯線程度。其底層為鋁—矽—銅合金。而介層為各種CVD之氧化矽膜，上層則為一般之鋁（加矽）。

(5) 金屬矽化物技術：

電子所已將矽化鉑／鎢鈦／鋁三複層金屬技術應用於雙載子低功率蕭基邏輯閘（LSTTL）產品製造。電子所並已建立淺接面之應用技術。此外，國善電子公司已應用矽化鎢（CVD）於SRAM產品；電子所亦建立濺鍍矽化鎢閘製程。

(6) 化學氣相沈積：

電子所：APCVD 製造 SiO_2 , PSG

LPCVD 製造 SiO_2 , Poly Si, Si_3N_4

PECVD 製造 SiO_2 , Si_3N_4

聯華電子：APCVD 製造 SiO_2

LPCVD 製造Poly Si, Si_3N_4 , SiO_2

國善電子：LPCVD W_xS_y（矽化鎢）

(7) 隔離技術：

電子所：PN junction, 定位氧化 LOCOS

聯華電子：LOCOS

五年來，關於記憶積體電路的開發，由於華智、茂矽及國善的加入，使我國在此方面之技術得到長足之進步。

民國71年電子所與聯華電子簽約共同開發 ROM 積體電路。

民國73年11月電子所與華智公司開發完成 1.5 μm 線幅 CMOS 64K DRAM。

茂矽公司自民國73年7月與聯華電子公司合作開發成功 1.5 μm CMOS 製程之16K SRAM 製程之後，因市場變化，於74年10月間將技術移轉給日本富士電機生產。

其傳送速度已達40~55 ns，採用多層連接及步進式（stepper）投影技術。

民國74年工研院電子所與華智公司完成開發 CMOS 256K DRAM。

4. 晶圓原料工業：

目前國內單晶棒的生產有大同及中美矽晶兩家廠商。大同目前採用FZ法長晶，只能生產2.5吋及2吋的小矽晶圓，主要供國內二極體製造廠商，目前月產能可達12萬片；中美矽晶採用CZ法長晶。自1981年開工，因矽晶圓產品良率較低、成本偏高，於1982年7月暫停作業，自73年1月再復工，共有兩部生長爐，可提供2吋、3吋、4吋的矽晶圓。目前矽晶圓主要供應商為西德的Wacker市場佔有率約70%，其餘為美國、日本，國內佔有率約5%~10%。

科學園區內，漢磊公司將於最近開始生產磊晶晶片，以供應國內電晶體製造廠商。

二、國外近五年來之研究概況

(一) 元 件

本項研究範圍極廣，將分為功率、光電和微波三方面來說明。

1. 功率元件：

功率元件包括整流二極體、雙極功率電晶體、閘流體 GTO、功率 MOSFET、IGT 及高壓積體電路 (HVIC)。其中大部分元件技術已相當成熟，需要學術研究機構注意的是最近發展之新趨勢，主要是功率 MOSFET、IGT 及 HVIC。

(1) 功率 MOSFET：

功率 MOSFET 是最值得發展的元件，其最大的優點是電壓控制而不是電流控制，因此可直接由 IC 來推動。全世界功率電晶體市場預估每年將以 8% 成長，而功率 MOSFET 市場每年將以 32% 成長，1985 年全世界功率電晶體市場為 11.41 億美金，而功率 MOSFET 僅佔不到 20%，為 1.71 億美金，預估 1990 年全世界功率電晶體市場為 16.75 億美金，而功率 MOSFET 佔 42%，達 7.02 億美金。目前製造技術是利用製造 VLSI 的技術，採用垂直電流複晶矽閘之構造，由於 VLSI 技術的進步，功率 MOS 電晶體的技術也就跟着前進。目前使用 2~3um 之技術，每平方英吋達一百萬個細胞粒，未來技術將隨着 VLSI 技術進入次微米的領域。

(2) IGT (Insulated Gate Transistor)：

IGT 又名 CMOSFET (Conductivity Modulated Field Effect Transistor)，可視為 MOSFET 與 BJT 合併之元件，主要優點可降低 Ron (順向串聯電阻)，本元件 1982 年才發展出來，可視為 MOSFET 改進元件，未來在較大電流的元件將取代功率 MOSFET。

(3) 高電壓積體電路 (HVIC)：

另一種重要功率的新發展，就是高壓積體電路，最初之高壓積體電路主要用於通信及顯示器之應用，最近幾年由於隔離技術的改進，耐壓已達 500V 以上。由於耐壓能力及複雜性增加，各種應用也就跟隨增加，例如：110V 10A 的 AC 整流可將功率電路合併在一晶片上，因積體電路化可降低成本，將廣泛應用於一般商業及工業產品。高電壓積體電路之技術，以及混用雙極電晶體及 MOSFET 之技術，所需設備與技術將與 VLSI 相同。

2. 光電元件：

矽材光電元件包括光偵測元件、太陽能電池及 CCD Imager，其中偵測元件包括光電晶體及光二極體，其發展已相當成熟又因矽材能隙之關係，其偵測光線波長必須小於 $1\mu\text{m}$ ，無法應用於波長 $1.3\mu\text{m}$ 及 $1.5\mu\text{m}$ 的光纖通信，因此需要注意的是太陽能電池及 CCD Imager。

(1) 太陽能電池：

矽太陽能電池由製作材料區分，可分為單晶矽太陽電池、複晶矽太陽電池及非晶矽太陽電池。單晶矽電池目前最高效率可達 19%，複晶矽電池效率較差僅達 10%。非晶矽電池所需厚度甚薄，可降低材料成本，唯效率低於 10%，目前日本專注於非晶矽電池之研究。目前利用太陽能電池發電費用約需每瓦美金 7.5 元，尚無達到經濟效益，在高山、偏遠地區、軍事用途具使用價值。

(2) CCD Imager：

CCD Imager 是利用 CCD 和光二極體合併的元件可取代電視的 Camera Tube，由於 VLSI 技術的進步，目前 CCD Imager 已發展到 400×500 點，僅使用單一晶粒於彩色電視映像，未來在電腦圖案試別、文字處理、家庭安全系統等將普遍使用，目前 CCD Imager 使用 1.5 到 $2.0\mu\text{m}$ 複晶矽閘技術，預測未來將進入次微米的領域。

3. 微波元件：

矽材之微波元件主要是雙極電晶體、IMPATT 二極體及 BARITT 二極體。

(1) 微波雙極電晶體：

微波電晶體是雙極電晶體，其使用頻率達到微波範圍，微波電晶體比 GaAs FET 具有較寬廣的可調頻寬及較小的 $1/f$ 雜訊。目前的技術功率可達 1.5W 在 10GHz ；使用 $0.5\mu\text{m}$ 寬的射極，頻率可達 20GHz 。

(2) IMPATT 二極體：

IMPATT 二極體是目前最具威力的固態微波產生元件，其頻率最高可達 Near-Millimeter Waves ($80 \sim 1000\text{GHz}$)，在軍事通訊上極為重要。目前的技術功率在 10GHz 可達 10W，在 100GHz 可達 0.5W，在 300GHz 可達 5mW，需要使用極薄層磊晶之技術。

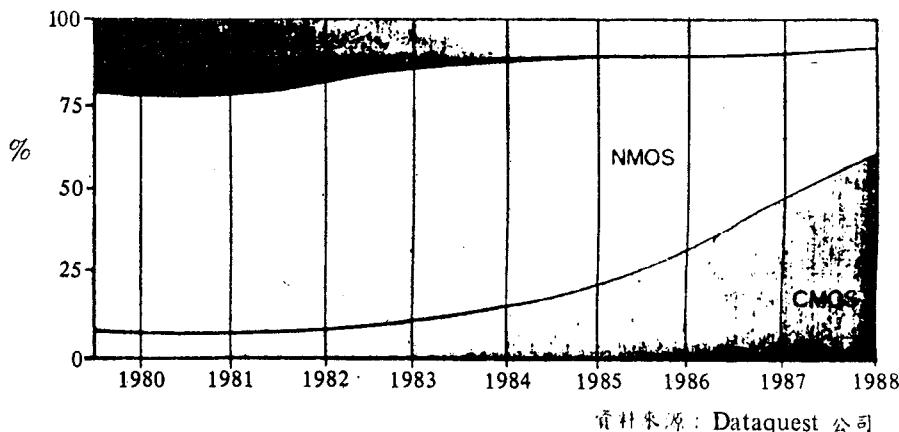
(3) BARITT 二極體：

BARITT 二極體類似 IMPATT，但其功率及頻率均較低。其優點是雜訊小，適合於低功率的應用，如：Local 振盪器，目前的技術功率達 $10\text{GHz} 100\text{mW}$ 。

(二) 積體電路

五年來積體電路技術的發展已有長足的進步，目前最小的線寬已到 $1.25 \sim 1.5\mu\text{m}$ ，

DRAM 已成功的推出 1Mb Chip，微處理器晶片已到 32 bit。記憶元件在民國 69 年（1980）時，NMOS 佔絕對優勢，其次是雙極（Bipolar）技術，CMOS 所佔比例甚微。五年來情勢已大為改觀，CMOS 已漸漸取代 NMOS 及 bipolar 技術，預計兩年後即將居於主導地位。如下圖所示：



五年來，美國在半導體工業上由領先的地位，漸漸失去先機，至今年（1985）日本主宰了 64K RAM 的市場，在 256K RAM 的市場上又先聲奪人，美國 Intel 公司宣佈放棄跟日本廠商在 256K DRAM 的大量生產競爭。轉而向一些技術複雜的特殊設計晶片設法保持其領先地位。1983 年出售 256K RAM 的公司有富士通、三菱、NEC 及摩托羅拉，其中三家為日本公司，祇有一家美國公司。1983 年為 256K RAM 最成功的年代，由於線幅已漸降至 $1\mu m$ ，元件間之 Capacitive loading 及 Parasitic coupling 使積體電路之功能受限制。SOI (Silicon on Insulator) 漸漸成為研究的對象，2D 及 3D 電路在 1984 年已開始探討，預計 1987 年後 2D 電路應有所收穫，到 1990，3D 電路亦可製造成功。

在製造技術上研究的狀況如下：

(1) 微影技術：

學術方面已有線寬 0.1 微米之發表，且有 0.25 微米通道之 MOS 電晶體。微影曝光設備主要為 E-beam 系統。離子束（Ion Beam）微影成像技術正開發中。

各種微影技術所用之光阻（E-beam resist 及 Ion-beam resist）正趨成熟，工業應用狀況在大量生產仍以 1.25 微米為最先進及普遍。設備上以 1:1 (Ultratech) 及 5:1 (GCA, CANNON, NIKON) 之光學曝光成像為主。

(2) 蝕刻技術：

學術研究，甚為理論化，例如電漿物理、離子濺鍍物理模式、離子反應蝕刻模式（RIE）等之研究，以利電腦模擬。工業應用狀況，仍以離子反應蝕刻技術為主流，進行線寬1微米之成形，材料甚具多元化。

(3) 氧化矽成長技術：

學術研究着重於氧化矽成長之機構探討，尤其是初步氧化物之物理模式。氧化矽之熱氮化研究成氮化矽之熱化研究。電漿加強式熱氧化研究亦正成長中。工業應用狀況，高壓式熱成長氧化矽已應用於0.5微米CMOS製程。目前以Candilevel之氧化系統為主。

(4) 金屬連線技術：

學術研究，已有三層及四層之開發成果發表（Mitsubishi, IBM）研究上仍屬於材料為主，配合濺鍍之 SiO_2 作為金屬層間之隔離。此外，平面化技術之研究亦甚為熱門。工業應用，在大量生產仍以雙層金屬連線為主，應用於64K SRAM，閘排產品及其他之半客戶產品之生產製造。

(5) 金屬矽化物技術：

學術研究，偏向於Mo、W、Ti、Ta以外之過渡金屬矽化物材料之研究，工業應用狀況，矽化鎔已生產化應用於高電路密度產品。其次矽化鈦則正開發應用於自動對準淺接面接觸及閘極接面（Salicide技術），並取代複晶矽之連線應用（CMOS之NMOS及PMOS連線）。

(6) 化學氣相沈積：

學術研究着重於非均勻系之化學氣相沈積反應之機構及模式研究。應用研究仍以降低溫度之技術為主，例如：電漿加強式CVD製造各類薄膜材料。工業用狀況，APCVD、PECVD、LPCVD製造各種薄膜已經廣泛應用於IC製造，其範圍包括絕緣及導體材料，PECVD之技術由於溫度較低，有愈受重視之趨勢。

(7) 隔距技術：

學術研究包括完全平面化（Fully recessed）及半平面化之隔離技術。凹溝式（Trench）較為大家所注意，其尚有存在之技術問題為各研究機構熱衷研究之主題。其他如BOX（埋氧化矽隔離）、MOAT（深溝隔離）、SOI、SEGFOX等正廣為大家研究開發中。工業應用狀況，目前以SILO及SWAMI及兩種技術為主（比較先進之製程而言）應用於1.25微米製造高密度產品。

三、預測我國未來十年的研究發展方向及具體作法

(一) 未來十年我國工業界發展的方向

近五年來國內在 VLSI 的技術已有良好的基礎，世界各國也都朝 VLSI 方向快速進行，VLSI 將是工業界的主流。根據需要十年後到1995年，我國 VLSI 將發展到0.35微米的 CMOS IC，以適應工業界的需要，另外一些分離元件如功率 MOSFET 等也將跟隨 VLSI 進入次微米領域。

1. 超大型積體電路組合技術：

無論是 Bipolar 及 MOS 技術，世界各國都是朝 VLSI 方向進行，亦即在水平及垂直二方面同時增加其集積密度，不過 Bipolar VLSI 因其消耗功率較大，雖然速度快，一般除 Mainframe 等大系統使用外，其他方面仍以 MOS 較省電的技術，比較易於推廣，我國在大型電腦方面，無法建立自己的工業，因此對 Bipolar VLSI 的需求也就不甚強烈。此外在財力、人力方面，我國也不甚充分，因此集中力量 MOS VLSI 發展技術，以支援我國的資訊電子工業應是正確的做法。

在 MOSVLSI 技術中又分 NMOS 及 CMOS 二種技術，其中 NMOS 元件消耗的功率又較 CMOS 元件為高，當元件集積密度增高後，NMOS 會逐漸不適合朝 VLSI 發展。CMOS 技術因其元件功率小，已逐漸取代 NMOS 為 VLSI 技術的主要寵兒，這由 DRAM 的發展看出。在 256K bit 以下的產品幾乎都是 NMOS 的天下，但 1 Mbit 以上的產品，大家所談的幾乎是 CMOS，除了 DRAM 產品以外，其他諸如：EPROM、E²PROM、SRAM、ROM、Microprocessor、Microcontroller、Signal Processing、Communication、Gate Array、Standard Cell、Calculator 及 Time Keeping 等產品皆是 CMOS 技術為主體。除了低消耗功率的優點外，CMOS 尚俱備高雜訊排斥、線路設計簡易等優點，我國未來欲在 VLSI 甚至 ULSI 佔一地位，在衡量需求人力、物力等因素，選擇 CMOS 技術為主要對象應是正確的方向。除了往元件縮小發展以外，在垂直方向也可朝多重疊進行，亦即應發展 SOI 或 3D 技術。

由於軍用系統越來越依靠積體電路，依估計軍用系統中電子元件的含量會高達60% 以上，因此可知發展軍用 IC 也是我國應重視的。軍用 IC 的特性，要求常為功率消耗低、抗雜音干擾、耐輻射線干擾能力高、速度快。因此發展快速的 Radiation Hardness CMOS VLSI 技術以配合國防工業的需求，亦是不可缺的。由於通訊汽車工業等的需求，發展耐高壓的 CMOS 或 Bipolar 技術是有必要的。由於此種耐高壓的積體電路技術

並不在乎元件的極端縮小，但特殊元件設計及製造方法是需要研究的。

我國 VLSI 未來十年的發展方向可建議為下列諸項：

(1) 發展 CMOS VLSI 整合技術：

目前電子研究所正在開發 $1.25\mu m$ 雙層金屬的 CMOS IC 技術，預計在 1987 年底完成。之後，根據需要必須繼續開發 $1.0\mu m$ 、 $0.8\mu m$ 、 $0.5\mu m$ 及 $0.35\mu m$ 的 CMOS IC 整合技術，以適應工業界的需要。其開發進度及元件主要特性如附圖。

在發展 CMOS VLSI 整合技術所需的元件技術有下列二項：

- ① LDD 元件特性——研究 Short Channel Device 的 threshold voltage 變化，hot electron effect、subthreshold current、substrate current effect 等以尋求穩定元件特性。
- ② SOI 元件特性——以離子植入或選擇性磊晶成長等方法研究 SOI 元件的特性，研究其 mobility、latch up、radiation hardness 等效應。

(2) 發展適合軍用的高 Radiation Hardness CMOS VLSI 技術：

配合軍用的需求，針對 Latch up、Transient、Soft error、Dose rate 及 Total dosage 等問題，發展高 Radiation Hardness 的 CMOS VLSI 技術。研究的方向為 Twin well structure with epitaxial layer 及 Silicon on Insulator 或 Thin Film silicon on Sapphire 等技術。

(3) 發展高速的 Bipolar-CMOS VLSI 技術以適合特殊用途。

(4) 配合通訊、汽車工業的需求，發展耐高壓的 Bipolar 及 CMOS IC 技術。

(5) 發展提高垂直集積密度的 3D 元件結構的 CMOS VLSI 技術：

因應提高集積密度的需要發展 2 層及 4 層線路的 3D VLSI 電路。同時研究 3D 技術，即發展 GaAs on Si 的成長技術及元件特性分析。

2. 超大型積體電路技術：

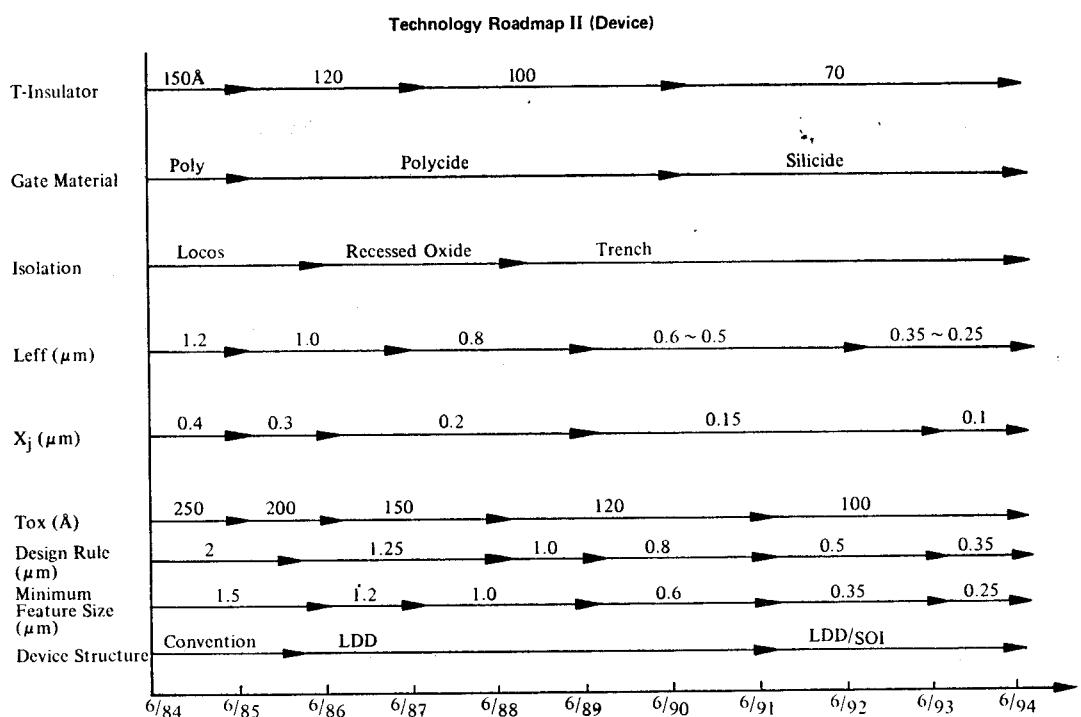
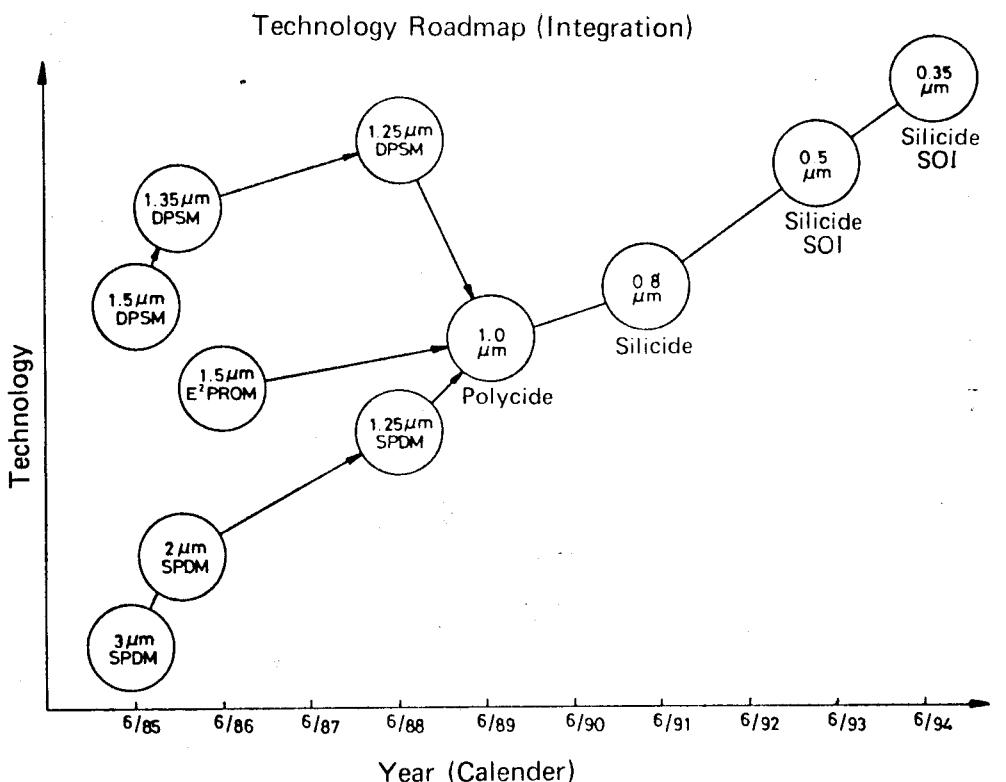
以我國未來十年 VLSI $0.35\mu m$ 製程發展為目標，則下列各項有待開發：

(1) 微影技術：

- ① 5X、10X、DSW 技術
- ② E-beam 技術
- ③ Ion-beam 技術
- ④ 晶片平面化技術
- ⑤ 平面曝光技術

設備上必須有 E-beam、Ion-beam 系統以及離子濺蝕機等。

(2) 蝕刻技術：



(1) RIE 蝕刻技術

(2) 離子濺射技術 (Ion Miller)

配合上述兩種蝕刻技術開發 $0.35\mu m$ 之蝕刻製程。

(3) 氧化矽成長技術：

必須開發低溫熱成長技術項目有：

①高壓熱成長技術

②電漿熱成長技術

③真空回火技術

④電射回火 (低溫) 技術

必須購置高壓熱成長爐管及電漿熱成長爐。

(4) 金屬連線技術：

①晶面平面化技術

②開發導體絕緣隔離技術——包括濺鍍絕緣薄膜

③雷射密化技術

(5) 金屬矽化物技術：

①超淺接面矽化物接觸技術 ($<0.1\mu m$)

②開發低溫 (雷射) 矽化物形成技術

③開發 Salicide 技術

(6) 化學氣相沈積技術：

①化學氣相沈積製造半導體薄膜，包括金屬矽化物、鋁薄膜等

②電漿加強式化學氣相沈積製造絕緣層及導體層技術

③光學加強式 (Optical CVD) 化學氣相沈積製造絕緣層及導體層技術

(7) 隔離技術：

①凹溝隔離技術 (Trench)

②選擇性磊晶成長技術 (SEGFOX)

(8) 可靠性技術之建立：

另外為因應國內未來之積體電路製程技術發展之人力需求及技術生根，下列數項研究應予注意：

(1) 光阻材料之研究

(2) 蝕刻模式之探討

(3) 超薄氧化矽之研究

(4) 金屬矽化物之研究

(5)化學氣相沈積之反應機模式

3. 記憶體技術：

(1)利用國內高水準之半導體工程人力資源，配合國外有經驗之學人，共同開發高密度、高速、多層之記憶積體電路，可以和日本、韓國競爭。

(2)在SOI技術方面，預計十年內可發展出1M以下之CMOS SRAM，並可商品化，我國應全力發展以爭取技術領先，與日本分享市場。

(3)在單晶3D技術方面，預計十年內可能做到2M以下之CMOS SRAM，應研製3D多層(4層以下)之CMOS記憶積體電路，以分享市場。

4. 元件：

未來十年我國元件開發應朝功率元件發展。

功率元件發展之新趨勢將是功率MOSFET IGT及VHSIC。

(1)發展功率MOSFET：

功率MOSFET未來十年將逐漸取代雙極功率電晶體，全世界市場將以每年32%成長率成長，將隨VLSI技術進入次微米領域。

(2)發展IGT(Insulated Gate Transistor)：

IGT與COMFET異名同體為功率MOSFET改進之元件，未來在較大電流的元件將取代功率MOSFET。

(3)發展高壓積體電路：

高壓積體電路將廣泛應用於一般商業及工業產品，將是發展ROC Unique產品重要的途徑。

(二)未來學校研究發展的方向

未來十年學校研究之方向，為因應未來積體電路製造技術發展之人力需求及技術生根，應積極研究次微米技術，走在工業界的前面。學校未來技術發展的時間表如附圖，需要發展的關鍵性技術及所需的主要設備如下諸項：

1.微影技術——E-Beam Direct Write on Wafer

2.蝕刻技術——RIE、Ion Miller

3.氧化矽成長技術——氧化爐、高壓熱成長爐、電漿熱成長爐

4.金屬連線技術——濺鍍系統

5.金屬矽化物及淺接面技術——離子佈植機、矽化物、CVD系統、Rapid Thermal Annealing

6.化學氣相沈積術——PECVD、LPCVD、Optical CVD

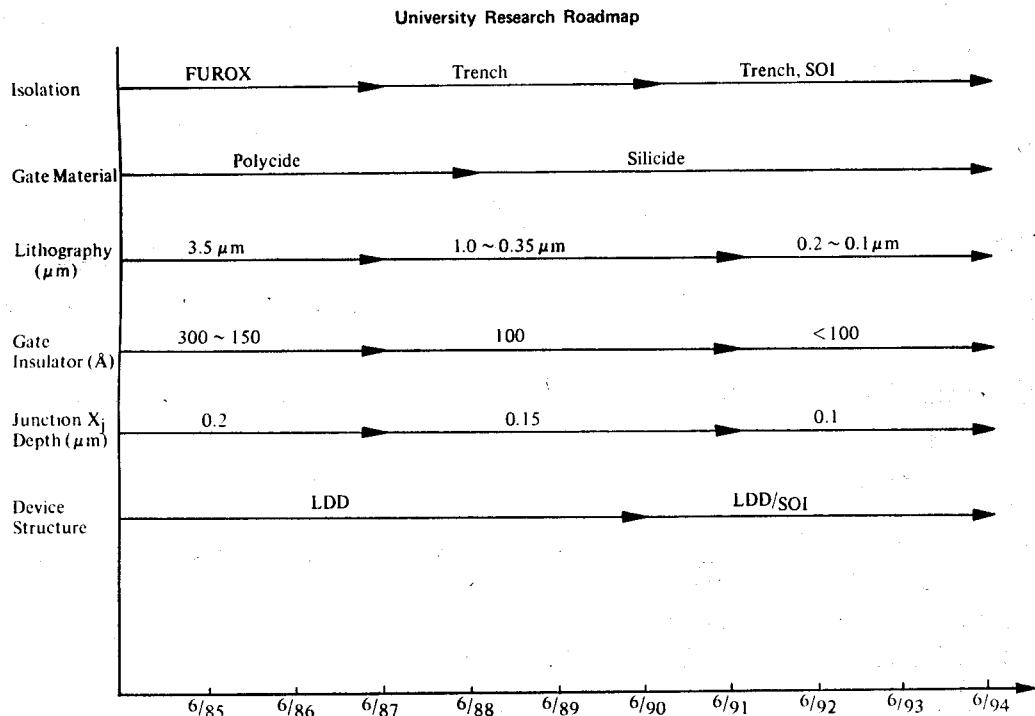
7. 隔離技術——R.I.E.、磊晶系統

8. 可靠性技術——測試、分析系統

學校的研究部分將着重於較基本的研究，例如：光阻材料之研究、蝕刻模式之探討、超薄氧化矽之研究、金屬矽化物之研究及化學氣相沈積模式之探討。

在 VLSI 元件將着重在次微米元件特性研究及模擬，在分離元件將着重於功率 MOSFET 之研究。

- (1) CMOS latch-up 的模式在交大已廣泛研究。
- (2) 次微米 MOSFET 的元件模式在交大已廣泛研究。
- (3) 製程的模擬包括氧化、擴散在臺大、交大已廣泛研究。
- (4) 元件數值分析在成大、交大均有廣泛研究。



(三) 具體作法

發展積體電路技術以適應未來工業界的需求是當前的急務，未來十年學校研究之方向應配合工業界在十年後建立0.35微米之技術，積極研究次微米技術，走在工業界的前面。由於國內人力、物力有限，因此必須集中力量，聯合國內各大學，如：臺大、成大

、清大和交大，共同參與研究並加強國科會半導體貴重儀器使用中心的儀器設備及服務管理，使主要昂貴的儀器設備能集中，使全國研究人員均可參與研究工作。同時由各校分工合作，使各校有發展的重點，如臺大發展閘絕緣體之技術；清大發展金屬矽化物、離子佈植、非晶矽成長；成大發展保護材料、化學氣相沈積及分離功率元件；交大發展微影技術、蝕刻技術、薄氧化層技術、金屬矽化物及淺接面技術、隔離技術、化學氣相沈積技術、及次微米元件特性研究。使各校均有所需之部分設備，以全面提昇國內各大學之研究水準。

對人力的投入預估每年學校應投入四十人次之研究人員（副教授以上），以每位研究人員帶 3 位碩士班以上之研究生，共需一百二十位研究生。目前國內各大學尚無法應付此需求（因另有其他領域要研究），因此應積極爭取海外學人回國，並加強國內博士班的訓練，在經費的投資方面，預估前三年每年應需一億二千萬元，包括貴重儀器之購置、各校設備之添購及正常計畫之費用，而後每年需五千萬元為正常計畫（維護、材料、人事、雜費）及添購部分新儀器設備，總計需七億一千萬元。

設 備：

| 編號 項 | 目 數量 | 單 價 (新臺幣萬元) | 總 價 (新臺幣萬元) |
|-----------------|------|----------------|----------------|
| 1. 高 溫 | | | |
| · 氧化及擴散爐 | 4 組 | 320 | 1,280 |
| · 快速熱回火系統 (RTA) | 2 套 | 200 | 400 |
| · 高壓氧化爐 | 1 組 | 2,000 | 2,000 |
| 2. 薄 膜 | | | |
| · LPCVD、複晶矽、氮化矽 | 4 套 | 400 | 1,600 |
| · PECVD、氧化矽、氮化矽 | 4 套 | 400 | 1,600 |
| · 濺鍍系統 | 1 套 | 800 | 800 |
| · 矽化物 CVD | 1 套 | 2,400 | 2,400 |
| 3. 微影技術 | | | |
| · 電子束直接寫於晶片 | 1 套 | 6,000 | 6,000 |
| · 塗加光阻及顯影系統 | 1 套 | 800 | 800 |
| 4. 乾性蝕刻 | | | |
| · RIE—複晶矽 | 2 套 | 800 | 1,600 |
| 氮化矽 | 2 套 | 800 | 1,600 |

| | | | |
|---------------|-----|-------|----------|
| 金屬 | 2套 | 1,200 | 2,400 |
| 5. 離子佈值 | | | |
| · 中電子束流 | 1套 | 2,600 | 2,600 |
| · 高電子束流 (SOI) | 1套 | 4,000 | 4,000 |
| 6. 濕性蝕刻及清洗 | | | |
| · 濕性工作站 | 10套 | 200 | 2,000 |
| 7. 測試與觀察 | | | |
| · 顯微鏡 | 2套 | 400 | 800 |
| · SIMS | 1套 | 2,000 | 2,000 |
| · X-ray (SEM) | 1套 | 800 | 800 |
| · 線寬測量 | 1套 | 400 | 400 |
| · 薄膜厚度測量 | 3套 | 200 | 600 |
| 8. 硼晶 | | | |
| · 低壓硼晶系統 | 1套 | 2,000 | 2,000 |
| 9. 其他 | | | |
| · 粒子計數器 | 1套 | 280 | 280 |
| · 維護設備 | 1套 | 800 | 800 |
| 合計 | | | 38,760萬元 |

經費：

| 項目 | 總計(新臺幣元) | |
|----------------|-----------------|-------------|
| 第一年到第三年 | | |
| 設備費 | 90,000,000 × 3 | 270,000,000 |
| 運作費 | 30,000,000 × 3 | 90,000,000 |
| 第四年到第十年 | | |
| 設備費 | 20,000,000 × 7 | 140,000,000 |
| 運作費 | 30,000,000 × 7 | 210,000,000 |
| 合計 | 新臺幣710,000,000元 | |

附錄一、矽材超大型積體電路技術及元件

五年來國科會支助學術機構之研究計畫與參與人員統計表
七十年度(69.8~70.7)

| 計 畫 名 稱 | 主持人 | 單位 | 經 費 | 參與研究人員數 |
|---------------------------------|-----|----|--------------|---------|
| 1. 矽磊晶膜之品質改進處理法 | 陳茂傑 | 交大 | 346,000.00 | 2 |
| 2. 極低漏電流高靈敏度矽光二體的研製 | 陳茂傑 | 交大 | 292,600.00 | 2 |
| 3. 有電流增益之光電二極體之研製 | 李崇仁 | 交大 | 232,400.00 | 1 |
| 4. 使用三溴化硼時硼於矽中之存積 | 郭雙發 | 交大 | 165,200.00 | 1 |
| 5. 大面積矽元件技術 | 張俊彥 | 成大 | 475,000.00 | 1 |
| 6. 多晶矽技術和浮閘極金一氧化半元件一不揮發型半導體記憶元件 | 黃瑞星 | 清大 | 387,000.00 | 1 |
| 合 計 | | | 1,898,200.00 | 8 |

七十一年度(70.8~71.7)

| 計 畫 名 稱 | 主持人 | 單位 | 經 費 | 參與研究人員 |
|--------------------|-----|----|--------------|--------|
| 1. 半導體記憶器之研製 | 吳重雨 | 交大 | 723,000.00 | 2 |
| 2. 鉻於矽中之擴散 | 郭雙發 | 交大 | 422,000.00 | 1 |
| 3. 三氯乙烷熱氧化技術 | 任建葳 | 交大 | 401,600.00 | 2 |
| 4. 硅晶固態偵測器 | 黃瑞星 | 清大 | 1,386,032.00 | 3 |
| 5. VLSI 金屬矽化物接觸研究 | 陳力俊 | 清大 | 447,000.00 | 1 |
| 6. 複晶矽膜之電阻及氧化特性之研究 | 陳茂傑 | 交大 | 318,600.00 | 1 |
| 合 計 | | | 3,698,232.00 | 10 |

七十二年度(71.8~72.7)

| 計 畫 名 稱 | 主持 人 | 單位 | 經 費 | 參與研究人員數 |
|--|---------|----|--------------|---------|
| 1. CMOS 及 NMOS 基本製程之發展及研究 | 余光漢 | 交大 | 671,360.00 | 3 |
| 2. 以石墨加熱使複晶矽膜再結晶的研究 | 郭美雄 | 交大 | 229,000.00 | 2 |
| 3. 無晶形矽的磊晶成長研究 | 葉鳳生 | 清大 | 147,000.00 | 2 |
| 4. VLSI 技術中鳥嘴問題之解決 | 黃惠良 | 清大 | 497,000.00 | 2 |
| 5. 雷射 Gettering 對 p-n junction 電氣特性之影響 | 劉濬堯 | 交大 | 104,000.00 | 2 |
| 6. 金屬矽化物氧化之放射性矽追蹤研究 | 陳建瑞 | 清大 | 432,000.00 | 2 |
| 7. 離子混合法生成高溫矽化物研究 | 陳力俊 | 清大 | 281,000.00 | 1 |
| 8. 半導體元件之數值模擬 | 郭雙發 | 交大 | 215,000.00 | 1 |
| 9. 電漿成長矽氮薄膜應用於 MOS-LSI | 方炎坤 | 成大 | 233,000.00 | 2 |
| 10. 低壓化學相沈積法生長鎢矽化物之研究 | 張俊彥 | 成大 | 527,000.00 | 3 |
| 11. VLSI 中複矽晶電阻之研究 | 盧志遠 | 交大 | 1,019,000.00 | 2 |
| 12. 高壓崩潰電壓元件之雙層接面保護 | 邱雲磊 | 臺大 | 308,000.00 | 2 |
| 13. 金屬矽化物(鉬、鎢)薄膜之製備及其在積體電路之應用 | 陳茂傑 | 交大 | 406,600.00 | 2 |
| 14. 新型雙載子靜態隨意出入記憶細胞之研製 | 吳重雨 | 交大 | 594,000.00 | 1 |
| 15. 矽中產生電子——電洞偶之平均耗能 | 桂正楣 | 交大 | 75,000.00 | 2 |
| 16. 矽晶固態偵測器 | 黃瑞星 | 清大 | 517,980.00 | 3 |
| 合 計 | | | 6,256,940.00 | 32 |

七十三年度 (72.8~73.7)

| 計 畫 名 稱 | 主持 人 | 單位 | 經 費 | 參與研究人員數 |
|--|---------|----|--------------|---------|
| 1. 薄層高電壓半導體元件之研製 | 曾繼紹 | 成大 | 358,000.00 | 3 |
| 2. 100Å 高功率二極體之設計與研製 | 邱雲磊 | 臺大 | 405,000.00 | 1 |
| 3. 電漿輔助化學氣相沈積法成長 鎢矽化物薄膜在 VLSI 應用之研究 | 方炎坤 | 成大 | 648,000.00 | 1 |
| 合 計 | | | 1,411,000.00 | 5 |

七十四年度 (73.8~74.8)

| 計 畫 名 稱 | 主持 人 | 單位 | 經 費 | 參與研究人員數 |
|--------------------------------|---------|----|--------------|---------|
| 1. 二維局部氧化過程中雜質擴散之模式 | 王維新 | 臺大 | 148,000.00 | 1 |
| 2. 光效電場限制下對雙極性電晶體之崩潰電壓之研究 | 張俊彥 | 成大 | 465,000.00 | 1 |
| 3. 金屬矽化物磊晶成長研究 | 陳力俊 | 清大 | 454,000.00 | 1 |
| 4. 硅磊晶薄膜在低溫低壓管爐中成長的研究 | 李中夏 | 成大 | 661,000.00 | 1 |
| 5. 反應式腐刻的研究用於無晶形矽元件製造 | 葉鳳生 | 清大 | 430,000.00 | 1 |
| 6. 脈衝高壓電子束製造及其在材料之應用 | 呂助增 | 清大 | 610,000.00 | 1 |
| 7. 乾性腐刻製程之模式與模擬 | 沈文仁 | 交大 | 647,000.00 | 1 |
| 8. 於 80~150Å 範圍之薄閘極氧化層之製造與測量 | 李崇仁 | 交大 | 500,000.00 | 1 |
| 9. 以雷射掃描處理進行複晶矽膜之再結晶 | 陳茂傑 | 交大 | 270,000.00 | 2 |
| 10. 雜質於擴散程序中之交互作用 | 郭雙發 | 交大 | 112,000.00 | 1 |
| 11. 矽化鈦薄膜之製造及其與VLSI 相關特性之研究 | 陳茂傑 | 交大 | 242,000.00 | 2 |
| 合 計 | | | 4,540,000.00 | 13 |

附錄二、國立交通大學電子與資訊研究中心七十三年度 研究經費

| 委 託 研 究 項 目 | 執行單位 | 主持人 | 計畫經費 | 研究期限 | 委託合約書 簽訂日期 | 備註 |
|---|------|-----|-----------|-----------------|---------------|----|
| 資訊中心合作案 | 交通大學 | | 7,000,000 | 73.12— 74.12 | 73.12.19 | |
| 1. 超大型金氧半場效電晶體技術之發展 | | 吳慶源 | | | | |
| 2. 超大型積體電路金氧半及互補式金 氧半場效電晶體之模擬及模擬器之 建立 | | 吳慶源 | | | | |
| 3. Tungsten Polycide and Silicide Contact 之研究 | | 陳茂傑 | | | | |
| 4. 超大型積體電路線接面之矽化鈦接 觸系統之研究 | | 雷添福 | | | | |
| 5. 新型 DRAM 及 SRAM 之研究 | | 吳重雨 | | | | |
| 6. CMOS 及 NMOS 邏輯閘時序模式 之擴大建立及應用程序之改進 | | 吳重雨 | | | | |
| 7. 數位電視機技術之研究 | | 魏哲和 | | | | |
| 8. 積體電路製程及元件模擬之建立 | | 郭雙發 | | | | |
| 9. Study on Bit-Serial VLSI Multi- plier and Convolver | | 李崇仁 | | | | |
| 10. 結構式可測試性設計之研究 | | 任建歲 | | | | |
| 11. 一個用在圖形引擎上的浮點運算器 | | 傅心家 | | | | |
| 12. 提供 VLSI 系統設計之新硬體描述 語言之設計研究 | | 陳 正 | | | | |

叁、砷化鎵積體電路技術及相關 III-V 族半導體元件之技術

一、國內近五年來之研究概況及工業狀況

(一) 研究概況

近五年來，國內各大學在國科會的大力推動下，對於 III-V 族化合物半導體材料及元件技術的研究已建立了良好的基礎。工業技術研究院工業材料研究所也致力於產品的開發，譬如晶體的成長，發光及雷射二極體之研製，以提高良率及工業化生產為目標。此外中山科學院亦完成了高功率微波元件及紅外線偵測器之製造。國立成功大學半導體研究中心發明並以 MBE 技術研製成功高頻、高速、高功率 V 型體障電晶體 (VBT) 及注射一誘導型電晶體 (IBT)，及以 LPE 技術研製成功 $1.3\mu\text{m}$ DH 雷射。國立臺灣大學電機系研製並改良成功異接面電晶體 (HBT)。

1. 學 校

國內各大學之研究主要集中於成大、臺大、清大及中正理工學院，近來交大、工業技術學院、中山、中原亦積極開展此方面之研究，今將各學校有關 III-V 族化合物半導體之研究概況敍述如下：

(1) 國立成功大學電機研究所：

- ① 以 LPE 技術研製 AlGaAs/GaAs LED 及 Laser Diode；已成功地研製 $1.3\mu\text{m}$ InGaAsP/InP 雷射二極體；此外如 $0.65\mu\text{m}$ 紅光之 AlGaAs/InGaP/AlGaAs LED 及雷射二極體，InGaAs/InP 紅外光檢測器，及 InP Gunn Diode 之研製亦已接近完成之階段。
- ② 以 MOCVD 技術成長多層磊晶薄膜及 AlGaAs/GaAs 雷射二極體，研製 GaAs Gunn 及 IMPATT Diode，研製 GaAs MESFET。近來以此基礎發展，AlGa-InP, Gap, InP 系列之材料及元件。
- ③ 以 MBE 技術研製 AlGaAs/GaAs 雷射二極體，發明並研製成功 Barrier Transistor 及 Modulation Doped HEMT。發明並製研成功世界第一枚 Injected-Induced base 電晶體，並研究 Quantum Well 物理及應用。

(與 AT & T Bell Labs. 合作)

- ④以離子佈植研究 GaAs 特性。
- ⑤研究以 GaAs 為主之 Integrated Optics。
- ⑥GaAs 缺陷之研究，以 DLTS, PL, TEM, AES, SIMS, HALL 等分析。
- ⑦以 Microwave Network Analyser 等研究高速及微波電晶體特性。
- ⑧其他如物理系研究 III-V 族 Raman 光譜分析，冶金材料所作 III-V 族材料研究等。

研究人員副教授以上約12人、研究生約30人。

(2) 國立臺灣大學：

- ①以 LPE 技術研製 AlGaAs/GaAs 超亮度發光二極體，各種結構的紅外線及可見光雷射二極體，包括氧化層限流型、V 型凹槽埋藏層型、脊狀及雷射陣列，及雙波長紅外線偵測器等。
- ②以 LPE 技術研製高速元件包括 Heterojunction Bipolar Transistor、調變摻雜結構、Superlattice 等。
- ③以 MOCVD 技術成長多層磊晶薄膜及 GaAs on Si 之研究。
- ④研究 AlGaAs 材料之深處能階，以 DLTS、PL、C-T-W、HALL 等分析。

研究人員副教授以上約 4 人、研究生約15人。

(3) 國立清華大學：

- ①以 LPE 技術研製 InGaAs/InP、InGaAsP/InP 光偵測器。
- ②MOCVD 技術研究 GaAs 長在 GaAs 及 Si 基板並製作紅外線光二極體。成長 AlGaAs 磎晶層並製作高效率 $0.66\mu m$ 發光二極體。成長 InP 及研製 InGaAs 偵測二極體，研究 ZnSe/GaAs 之特性。
- ③以離子佈植及電漿化學氣相蒸鍍氮化矽於 GaAs, InP 表面上，以研究其介面特性及元件製作。
- ④以離子佈植研究 GaAs, InP 有關缺陷，活性與 Annealing 及 Passivation 之影響。
- ⑤研製以 Mo、MoSi 及 WSi 為主之 GaAs、GaP Schottky Barriers。

研究人員副教授以上約 8 人、研究生約15人。

(4) 國立交通大學：

- ①研究 GaP 接點問題。
- ②以 LPE 技術研製 AlGaAs/GaAs 雷射二極體。
- ③研究紅外線偵測器。

研究人員副教授以上約 2 人、研究生 3 人。

(5) 中正理工學院：

①以 LPE 法研製 AlGaAs/GaAs 紅外線及紅光雷射二極體。

②研製 HgCdTe、CdTe 磚晶及紅外線偵測器。

研究人員副教授以上 1 人、研究生 5 人。

(6) 國立中山大學：

①以 MOCVD 技術研製 ZnSe/GaAs 材料及元件。

研究人員副教授以上 1 人、研究生 1 人。

(7) 工業技術學院：

①以 EER 技術研究 AlGaAs 帶結構，載體分析及鋁在磊晶層之均勻度。

研究人員副教授以上 2 人、研究生 4 人。

(8) 私立中原大學：

①以 EER 技術研製磷離子佈植於 CdS 之研究。

②以 LPE 技術研製 AlGaAs 高亮度發光二極體。

研究人員副教授以上 1 人、研究生 4 人。

由國科會輔助 71 年度起到 75 年度止之研究計畫數、經費總數及參與研究人員如表三所示：

表三 過去五年國科會輔助之計畫統計

| 年 度 | 計 畫 數 | 經 費 總 數 (萬) | 參 與 研 究 (人) |
|-----|-------|---------------|---------------|
| 70 | 7 | ~320 | 20 |
| 71 | 10 | ~500 | 25 |
| 72 | 7 | ~305 | 20 |
| 73 | 9 | ~717 | 30 |
| 74 | 9 | ~863 | 30 |

2. 工研院工業材料研究所

(1) 晶體成長部分：

① GaP 及 InP Polycrystal 的合成。

② 以 L.E.C. 方法拉 GaAs、GaP 及 InP Undoped 及 Doped 之晶體。

③以 Horizontal Bridgman 法拉 GaAs 單晶。

(2)磊晶成長部分：

①以 LPE 法成長 GaP, GaAs, AlGaAs, InP 及 InGaAsP 薄膜於 GaAs 及 InP 晶片上。

②擬於最近以 MOCVD 及 MBE 法成長上述薄膜。

③研製 AlGaAs $0.88\mu m$ 及 $0.66\mu m$ LED 及 $0.85\mu m$ 雷射二極體，GaAs MOSFET 及 InGaAsP $1.3\mu m$ 雷射二極體。

④研究 GaAs 及 GaP 之 Ion Implantation 及 Passivation 情形。

⑤研究 III-V 族之 Ohmic Contact。

⑥LED Mass Production Technique。

研究人員約35人。

3. 中山科學研究院：

①以 LPE 法研製 InAsSb/InSb 及 HgCdTe IR Detector。

②以 LPE 法研製 MESFET 及 Gunn, IMPATT Diode。

③以 MBE 法研製 MESFET 及 Gunn, IMPATT Diode 及 MMIC 以製成低雜訊放大器。

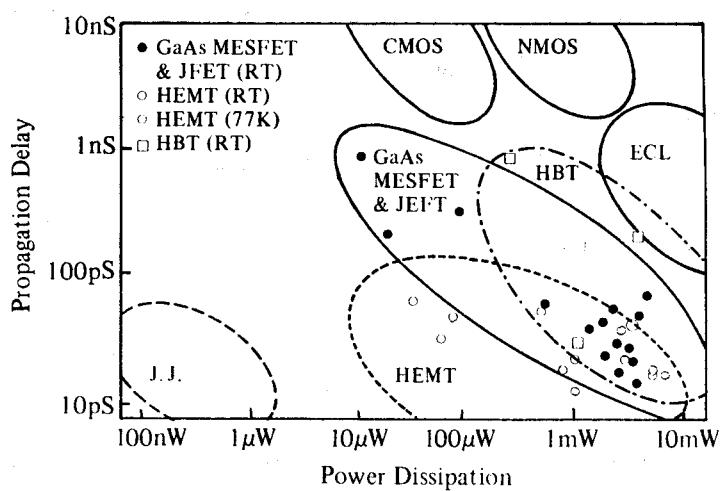
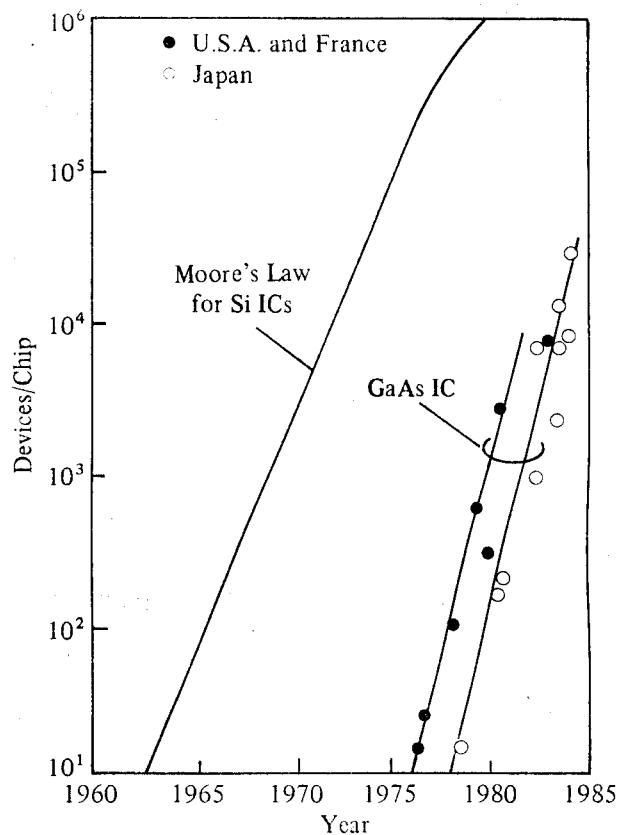
研究人員約20人。

(二) 工業發展狀況

國內工業界有關 III-V 族化合物半導體的發展尚嫌緩慢，主要以生產 LED 為主，萬邦電子公司於民國64年與美商 ITAIC 技術合作，以擴散方法生產 GaAsP LED 及發紅光，並自行購買 epi 晶圓發展 (contact 及 etching 技術)，紅光及綠光 GaP LED，如今每年生產約 120KK 個，(1K 約 NT 300元)，另外光磊公司亦生產少量的 GaAsP LED。光寶公司裝配 LED Display，年營業額約十億臺幣。此外最近工材所已將 GaP LEC 及 LED 生產技術轉移臺灣科技公司。

二、國外近五年來之研究概況

國外之發展仍以光電元件及高速元件劃分，以美國和日本最強，歐洲次之，分別討論如下：



圖一 上圖 Si 與 GaAs I.C. 密度成長率，下圖為速度與功率的比較

(一) 光電元件

以日本與美國的發展最為尖端，在光纖通信元件及模組方面，以 $1.3\mu\text{m}$ 及 $1.55\mu\text{m}$ 為主，其中繼距離已延至 100 公里，送信率已超電 5 GB/sec。但在民生電子方面，為日本獨霸的局面，如可見 LED (Super bright) 及雷射二極體用在 Compact disc (C.D.) 上及 Laser disc 上，每年成長率均超過百分之七十。

(二) 高速元件

美國以 Rockwell International, TRW, AT&T Bell Labs 較強，在高速 A/D, D/A 上有很好的前途，高速 OP、AMP 亦很有用（電信、儀表、控制等）。日本富士通於1984年做出 4K SRAM 及最近 NTT/ECL 做出 16K SRAM。在 Complexity 方面尚落在 Si VLSI 之後，但在 Speed 方面則一直領先，如 Si 1K SRAM 之速度約為 3 nsec, GaAs 1K SRAM 可達 1 nsec。但其成品之 Reliability 及 Productivity, Si 則遠在 GaAs 上，雙方的追趕相輔相成，但最後在 High Speed/Power 方面，仍以 GaAs 優先，而在 Complexity 方面 Si 優先似可斷言。圖一為 Si 和 GaAs I.C. 在密度與速度方面的比較，可看出其特點。

三、國內未來十年內的發展方向

國內未來的發展應如表四所示，大學與工研院／電信所以及事業機關配合發展。各部門的任務和圓圈內所示，其相互關係如箭頭所示。可惜，我國電信研究所祇發展系統，事實上，材料元件的發展往往會使系統計畫完全改變，所以國外如 AT&T Bell Labs、Belcore、NTT/ECT 等研究機構均有龐大的材料元件研究羣，國內之發展不得不重視這一點。

由表四圓圈內所列的項目可以列出必須發展的相關技術如下：

(一) 晶體成長技術 (Bulk Crystal Growth Technique)

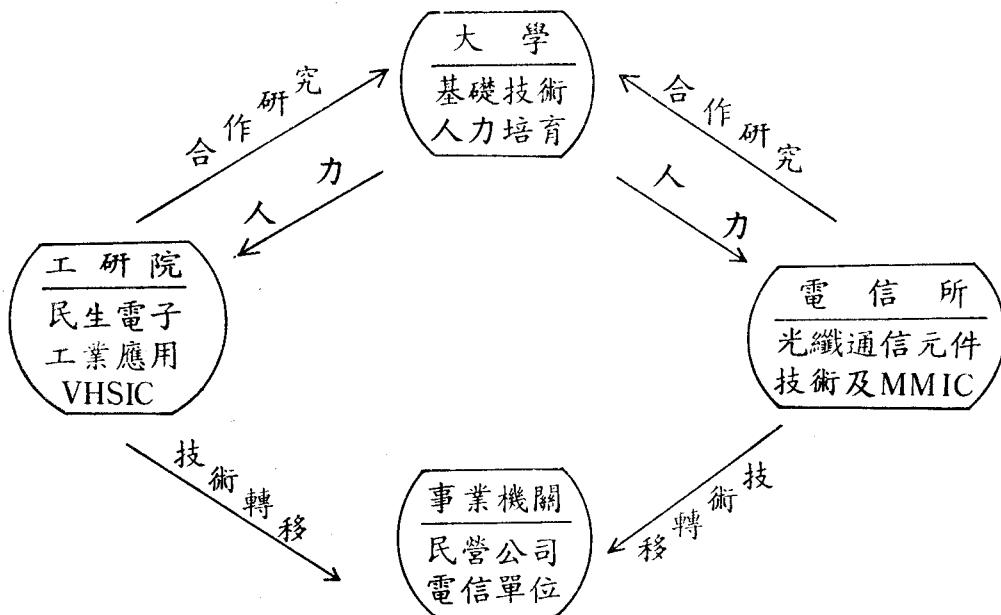
主要由工研院發展，然後轉移民營，應發展 EPD 小於 $10^4/\text{cm}^2$ 的 3~4 吋徑 GaAs, GaP 及 InP 晶圓。

(二) 嶸晶成長技術 (Epitaxy)

含分子束磊晶 (MBE)，有機金屬汽相磊晶 (MOCVD) 及液相磊晶成長 (LPE)

)，及其他相關技術。

表 四



(三) 製程技術 (Process Techniques)

含乾式及濕式蝕刻 (Dry and Wet Etching)，絕緣及介面 (Interface and Insulators)，金屬接面技術 (Metallization)，離子佈植技術 (Ion-Implantation)，微細加工技術 (Fine Line Lithographic Technologies)。

大學與工研院／電信所合作，分工亦如上述，Fine Line 及 Etching 結合應能做出 Submicron 的技術。發展絕緣＼半導體，金屬＼半導體介面技術，使前者之介面態位小於 $5 \times 10^{10}/\text{cm}^2$ ，後者之整流特性良好，歐姆特性與 Si 相比。

(四) 元件物理及技術 (Device Structure and Physics)

可見光及光纖通信之射光二極體 (LED)，雷射二極體 (Laser Diode)，檢光器，高速及功率二極體、電晶體等元件物理 (含介面) 及結構。

大學與工研院／電信所合作，分工亦如前述。發展與元件有關之異質接面 (Heterojunction)，量子井結構 (Quantum Well Structure)，故相關之元件如 MESFET/IC, HBT, HEMT，各種 LED, Laser Diode，各種 Detector 等以及新的元件結構，以期有突破性的進展。工研院可側重高速元件，民生光電的發展，而電信所可側重電

信光電元件的發展。

(五) 材料及元件之分析技術 (Material and Device Characterization)

含缺陷之分析及與元件特性之關係。

四、達成本方案的手段和方法之建議

砷化鎵及相關化合物半導體在光電和高速元件及積體電路方面，矽半導體技術是無法取代的。雖然 VLSI 仍然以矽為主(98%)而且矽技術進步神速，到1995年將步入0.5微米的時代。砷化鎵的技術就採用矽技術來改進其效能，所以在速度方面還是一直領先 Si。為了砷化鎵隨技術在本國發展生根，在方法上建議如次：

(一) 應與矽技術配合，應用矽技術，發展 GaAs on Si 技術，隨時注意兩種技術的優劣及配合。

(二) 人力設備應集中，勿太分散，大學三至四所擇優支援，共同及昂貴儀器設立貴重儀器中心以便集中維護及運轉。

(三) 資源的合理分配應用 5/1 法則，基礎研究與應用研究，大學與專業研究所，其預算分配 1 與 5 之比。如工研院 2 億，大學則應有 4 千萬預算。

(四) 注意及充分支援運轉及維護經費及人力。

例如：一千萬元之設備應配有技術員及研究員……等。

例：材料 10~20%，維護費 5~10% 等。

(五) 電信及電力研究經費應部分投入此項研究。

砷化鎵之研究甚為費錢，材料費尤貴，但工業化的規模比 VLSI 小的多，極適合國內發展。

肆、感測元件及相關材料

一、簡介

感測元件 (sensors)，廣義的說就是一種能量轉換的器件。其種類、用途相當繁雜普遍，無論是家庭、辦公室、工廠、醫院中或軍火裝備上到處可以發現各種形式的感測元件之使用。隨着科技的發展以及自動化、電子資訊時代的來臨，感測元件的需求將急遽增加，在軍事上、工業上、醫藥衛生上以及消費性產品上的應用其普遍性將不亞於馬達的使用，因此世界各國都積極從事各種感測元件的研究開發。為了配合目前我國重點科技發展以及工業升級之需要，感測元件及相關材料的研究發展已成刻不容緩之勢。國內目前積極推動的重點科技如電子、資訊、自動化、生物工程以及能源等無一不需要有適當功能的感測元件與之配合。因此無論就世界潮流或國內環境需求，感測元件及相關材料的研究發展是相當重要的。

二、國內近五年來之研究概況及工業發展狀況

(一) 工業發展狀況

根據調查資料顯示，國內工業界對於感測元件仍停留在進口、使用階段，幾乎沒有自己產製感測元件的製造工業，進口值從民國70年的50億新臺幣至民國75年預估的250億，顯示強勁的市場需求與快速成長。

(二) 研究概況

國內近五年的研究概況主要的仍零星分散在幾所大學，中山科學研究院、工業技術研究院、以及電信研究所。研究之內涵雖然材料製備與元件製造都有，但元件層次的研究發展比較稀少且集中於使用半導體材料者。

1. 研究主題

感測元件部分，近五年來主要的研究是光感測器、紅外線偵測器、輻射偵檢器、溫度、壓力、濕度感測器、太陽電池以及一些氣體、離子感測器等。就相關材料來說，比較活躍的領域是無晶矽氫 (Amorphous Si : H)，金屬氧化物使用於厚膜技術，以及 III-V 族、ZnSe、HgCdTe、CuInS₂ 等化合物半導體的單晶、磊晶及薄膜技術。

2. 人力分配

研究計畫主持人約40人，研究人員（含研究生與專任人員）約80人。因為大部分的研究發展分散在大學，而大學的教授往往一個人參予多個研究計畫，主持多種研究題目，因此若把此因素估計在內，則有效的全時間相當人力約為主持人10人、研究人員50人。

3. 經費

經費之主要來源為國科會、中山科學研究院、工業技術研究院等。五年內之經費使用約一千六百萬元，平均每個研究計畫為40萬元（不含中型以上設備費用，因為很多儀器設備都利用一般半導體材料、元件研究之設備）。

4. 設備

除了中山科學研究院、工業技術研究院有比較完善專供輻射感測器、無晶矽太陽電池研究用之設備外，大學的研究設備都是利用一般半導體研究設備，附加少許較特殊裝置而已。不完善的設備，比較難有良好的研究成果。

不論就技術層次、參予人力、投入之經費或設備而言，目前國內的研究現況尚屬起步，並不理想。幸好各界對於感測元件逐漸感知它的重要性與發展潛力，有興趣參予研究的人與機構亦逐漸增加中。

三、國外近五年來之研究概況

感測元件雖不是一項新的科技，但隨着科技的進步新的感測元件、材料和技術不斷的出現。尤其最近由於自動化、資訊、電子以及機器人的興起，感測元件的研究發展之重要性更顯著地顯示出來，因此國外近五年來的研究也就特別的蓬勃。專門以研究產製某一種感測器而成功的中、小型公司很多，單一離散式感測元件（discrete sensor）如常用的壓力、溫度、濕度、流量等已成為普遍性商品，目前的研究發展方向是細小化。另外一個重大研究趨勢是朝集積型（Integrated Sensor）和智慧型（Smart Sensor）發展，以及其他零散的對於新物理量感測的研究如味覺、嗅覺、觸覺等近於生物感知層次的感測元件與現象。所謂集積型感測元件即除了感測單體（Sensing element）之外，感測訊號之放大，整制電路也集積在一個器件上。智慧型則更進一步具有訊號處理之功能。

就技術層次而言，離散型感測元件，大部分已商品化，集積型與智慧型感測器也逐漸從研究階段進入發展與商品化階段。主要的國家以美國、日本、德國、英國、法國等先進國家為主。其他的歐洲國家也都積極的從事研究開發。有趣的是有成就的研究機構

不一定是積體電路或其他電子元件很有名氣者，同樣的，在工業方面研究與產製感測元件也非由幾家大電子公司主宰壟斷，是中、小型企業有很大成功機會值得投入的領域。

四、預測我國未來十年的研究發展方向及具體做法

基於上述的國內外現況，兩相對照，我們得到的結論是：

1. 許多國外已是普遍商品化的感測元件，國內工業仍無人產製，研究機構也尚在起步階段而已。
2. 商品的趨勢是細小化與多功能化，技術層次是朝集積化與智慧化發展。
3. 所需技術與設備與一般積體電路之技術設備不完全一致，必須有特殊設備與技術配合。
4. 種類繁雜，需要的背景知識不一而足，需有更廣泛學術背景的各種人才通力合作。國內近年來除了固態電子、電子材料、應用物理學域的人外，其他學域的人很少參與。
5. 需有新型感測材料及相關特殊材料之配合發展。

由以上的結論，再考量國內的現況與環境，欲以有限資源從事最高效益的研究投資，對未來的發展方向必須做審慎之選擇，期能集中人力、經費妥善建立起幾個重要研究室，積極從事關鍵技術能力之培養，並規劃研究主題與項目，做較長期性，較具規模的設備與經費支援。

(一) 未來十年的發展方向

在未來的發展上，一方面就已有的薄弱基礎，改進提昇研究層次，另一方面選擇國內目前未有而對於我國重點科技發展與工業升級有關鍵性影響的感測元件積極推動研究發展。

1. 已有一些基礎而急需改進提昇者

- (1) 以化合物半導體為主的光感測器、紅外光感測器、輻射感測器。
- (2) 以單晶矽為主的溫度、壓力、輻射、磁場感測器。
- (3) 以無晶形矽氫為主的太陽電池、光感測器。
- (4) 以厚膜及金屬氧化物為主的濕度、壓電、氣體感測器。
- (5) 以場效電晶體為主的離子、氣體、壓力感測器。

2. 目前尚缺急需開發的感測元件及相關技術

- (1) 電荷耦合影像感測器 (CCD Image Sensor)，能達到一維線列式 (1-D linear

array) 及二維面陣式 (2-D area matrix array)，感測可見光及紅外光。

(2)超聲波及化學感測器。

(3)配合積體電路術技術，研究開發訊號整制 (Signal conditioning)、訊號放大，以及訊號處理 (Signal processing) 積體電路，以配合離散感測元件逐步發展集積型、智慧型感測元件。

(4)發展三維微紐結構蝕刻技術 (3-D micromachining) 以配合各種感測元件特殊幾何結構之需求，如薄彈膜 (thin diaphragm)、細樑 (micro beam)、微細腔 (micro chamber) 等；發展選擇性異質磊晶技術 (selective heteroepitaxy) 以形成特殊三度空間之結構。

(5)發展薄膜技術 (thin film technology)，供感測本體 (Sensing element) 製作之需，以配合第(3)項技術形成單石式智慧型感測器 (monolithic smart sensor)。

(6)發展厚膜技術 (thick film technology) 及相關材料供感測本體或厚膜電路製作之需，以配合第(3)項技術形成混合式智慧型感測器 (hybrid smart sensor)。

(7)配合發展感測元件相關的材料，以及包裝 (package) 之特殊材料、技術。

(二) 未來發展之具體做法

我國的科技落伍是必須承認的事實，工業界之企業規模也不足以擁有具備相當規模的研究發展。考量我國的工業、學術水準及資源環境，學府研究應從事些與工業升級有關的前瞻性研究，不能完全為學術而學術。而目前的研究基礎，不論就人才、設備、經驗、各方面來看，都集中在中山研究院、工業技術研究院以及大學中，企業界很少。因此，建立及充實大學的研究設備，配置專業的研究人員、助理於大學中，並鼓勵中山科學研究院、工業技術研究院與大學間的合作、交流，以增加學府研究的長期持續性與深度。由政府的一個專責機構負責規劃研究主題、方向，避免分散在數個機構造成重複或遺珠之弊病。

1. 設備方面

就已有基礎在各大學選擇重點支援，配合發展，使各具專長及特色：

(1)逐步建立一個完整的厚膜技術研究室。

(2)逐步建立一個完整的薄膜技術研究室。

(3)逐步建立一個完整的感測元件測試及應用研究室。

(4)以積體電路研究室為基礎，逐步添增建立發展集積智慧型感測元件研究室。

(5)逐步建立一個特殊相關材料研究室。

2. 人力需求

| | |
|--------------------------------------|--------------|
| 全時間大型研究計畫主持人 | 10人(博士級) |
| 全時間子計畫主持人 | 50人(博士、碩士級) |
| 全時間研究人員 | 150人(碩士、學士級) |
| 部分時間研究人員 | 50人(各級人員) |
| 積極鼓勵各種不同學域的人參予研究如化工、生物、醫學、化學、高分子材料等。 | |

3. 經費需求

(1) 設備經費 單位：百萬元

| | |
|-----------|-----|
| 厚膜研究室 | 100 |
| 薄膜研究室 | 150 |
| 測試及應用研究室 | 150 |
| 特殊相關材料研究室 | 300 |

總共七億元，分十年逐步建立各研究室，平均每年七千萬元。

(2) 研究計畫經費

每年三千萬元，十年總共三億元。

4. 重要設備

(1) 厚膜研究室

輸帶式燒成爐

垂直燒結爐

箱型爐

真空燒結爐

球磨機

振磨機

噴磨機

篩濾機

三滾筒

烘焙機

光罩製作儀

爆光機

網簾印刷機

噴砂修整機

雷射修整機

焊線機

封裝機

化學處理台

潔淨室

(2) 薄膜研究室

多靶式電子槍蒸着機

多靶式濺鍍機

真空蒸着機

電漿增強式氣相沉積機

電漿蝕刻機

反應式離子蝕刻機

離子蝕刻機

雷射修整機

光罩對準儀

光罩製作系統

光學處理台

無塵室

高溫爐

焊接機

封裝機

低壓氣相沉積系統

厚度測量儀

(3) 測試及應用研究室

頻譜分析儀

邏輯分析儀

資料收集處理系統

計數器

頻率綜合器

網路分析器

標準電源

精密電表

元件特性分析儀

數位式示波器
儲存式示波器
校準設備
積體電路測試系統
紅外線測試系統
環境測試儀
可靠度測試儀
超聲波測試儀
光測試系統
熱測試系統
磁場測試系統
離子測試系統
化學離子測試系統
(4)特殊相關材料研究室
單晶成長系統
磊晶成長系統
MOCVD 系統
多腔式分子束磊晶系統
材料物性分析儀器
材料電性分析儀器
材料組成分析儀器
材料化學成分分析儀器
材料機械性質分析儀器

附錄一、國內近五年來研究感測元件的主要機構

中山科學研究院

工業技術研究院

電信研究所

國立清華大學

國立臺灣大學

國立成功大學

國立交通大學

中正理工學院

私立中原大學

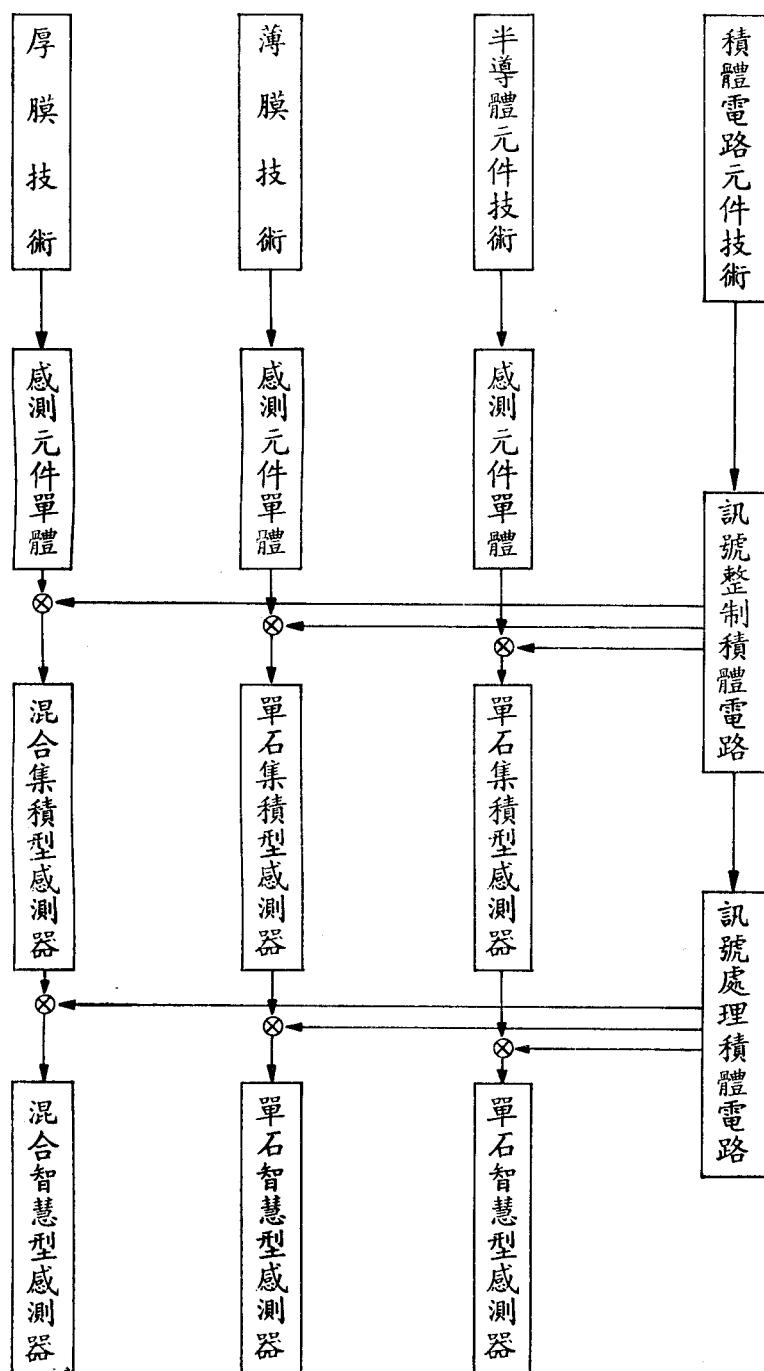
國立中央大學

國立陽明醫學院

附錄二、國內外感測元件與相關材料技術層次之比較

| | | 國 內 | | 國 外 | |
|------------------|------------------|--------|-------------|--------|-------------|
| | | 研 究 | 商 品 化 | 研 究 | 商 品 化 |
| 離 散 元 件 | 厚 膜 | ✓ | ✗ | ✓ | ✓ |
| | 薄 膜 | ✓ | ✗ | ✓ | ✓ |
| 元 件 | 半 導 體 | ✓ | ✗ | ✓ | ✓ |
| | 化 合 物 | ✓ | ✓ | ✓ | ✓ |
| 集 積 化 | 單 石 | ✗ | ✗ | ✓ | ✗ |
| | 混 合 電 路 | ✗ | ✗ | ✓ | ✓ |
| 智 慧 型 | 單 石 | ✗ | ✗ | ✓ | ✗ |
| | 混 合 電 路 | ✗ | ✗ | ✓ | ✓ |
| 材 料 | 半 導 物 體 | ✓ | ✓ | ✓ | ✓ |
| | 單 晶 矽 | ✓ | ✓ | ✓ | ✓ |
| | 無 晶 矽 | ✓ | ✗ | ✓ | ✓ |
| | 厚 膜 | ✓ | ✗ | ✓ | ✓ |
| | 薄 膜 | ✓ | ✗ | ✓ | ✓ |
| | 其 他 | ✓ | ✗ | ✓ | ✓ |

附錄三、感測元件相關材料技術發展藍圖



附錄四、近三年內在著名學術期刊感測元件 有關論文之機構

U.S.A.

RCA

Texas Instrument

Kodak

Ford Motor Company

IBM

National Bureau of Standard

Rockwell International Science Center

Bell Lab.

General Motor Research Lab.

National Semiconductor

Georgia Institute of Technology

University of California, Berkeley

University of Washington

Argonne National Lab.

Cornell University

Stanford University

Case Western Reserve University

University of Arizona

University of Florida

State University of Colorado

University of Michigan

MIT

Japan

Nippon Telegraph & Telephone

Oki Electric Company

Hitachi

NHK Laboratory

Matsushita
SONY
NEC
Sharp Toshiba
Toshiba
Fujitsu
Shibura Electric Company
Nagoya Institute of Technology
Tokyo Institute of Technology
University of Tohoku
Tokyo University

Others

Siemens Laboratory
Philips
Bell-Northern Research
New Castle Upon Tyne University
Twente University of Technology
University Swansea
Thorn EMI Central Research Lab.
Centre National D'Eludes des Telecommunications
Valvo RHW der Philips GmbH
University Indonesia
Delft University of Technology
University Stuttgart
Polytechnic Institute
University Southampton
University de Clermont
EMI Lab.
Laboratoire d'Energetique Electrochimique
Via Cineto Romano
Nederlands Philips Sbedrijven
Warsaw Technical University

South Australian Institute of Technology
University of Manitoba
Technical University Aachen
Communication Research Centre, Ottawa
University of Sheffield
University of Alberta
National Tsing Hau University
National Taiwan University
National Chiao Tung University
National Cheng Kung University

行政院國家科學委員會學門規劃資料

微 電 子 工 程

發 行 人：劉 兆 玄

規 劃 者：行政院國家科學委員會工程技術發展處

執行編輯：行政院國家科學委員會編輯委員會

地 址：臺 北 市 廣 州 街 二 號

電 話：(〇二)三六一四六八一

出 版 者：行 政 院 國 家 科 學 委 員 會

地 址：臺 北 市 廣 州 街 二 號

電 話：(〇二)三三一七二二一

印 刷 者：上 海 印 刷 廠 股 份 有 限 公 司

地 址：臺 北 市 臨 沂 街 五 號

電 話：三 二 一 〇 八 一 一 ～ 三

中 華 民 國 七 十 六 年 六 月 出 版

Position Paper

MICROELECTRONIC ENGINEERING

PUBLISHED BY
National Science Council
REPUBLIC OF CHINA
JUNE 1987